

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2012

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(1, 4, 5, 12, 13, 14, 20, 28, 30)$
- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - Identificare una copertura minima della funzione;
 - Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

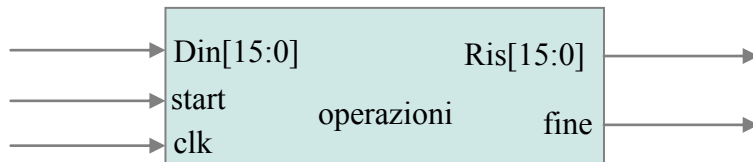
se è presente la sequenza di ingresso $\{01, -1, 0-\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	E/0
B	D/-	A/0
C	F/0	E/0
D	D/0	A/1
E	C/-	A/0
F	F/0	E/1

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- AND Ris, D0, D1 con codifica "00" (esegue l'and bit a bit tra D0 e D1)
- OR Ris, D0, D1 con codifica "01" (esegue l'or bit a bit tra D0 e D1)
- CNT1 Ris, D0 con codifica "10" (conta il numero di bit a 1 presenti in D0)
- PAR Ris, D0 con codifica "11" (mette Ris a 1 se il numero di 1 in è pari, 0 altrimenti)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Se l'operazione è una CNT1 o una PAR nel quarto ciclo di clock ha inizio l'operazione richiesta che dura 2 cicli.

Se l'operazione è una AND o una OR nel quarto ciclo viene letto l'operando D1 e nel ciclo successivo viene eseguita l'operazione in un solo ciclo di clock.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2012

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(4, 12, 14, 17, 20, 21, 28, 29, 30)$

- a) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- b) Identificare una copertura minima della funzione;
- c) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

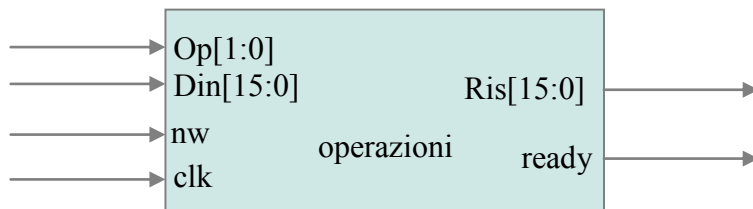
se è presente la sequenza di ingresso $\{10, 0-, -0\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	D/-	B/1
B	C/0	F/0
C	A/0	B/0
D	E/0	F/1
E	E/0	B/1
F	C/-	F/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni;
- Costruire la tabella delle eccitazioni usando come elemento di memoria i FF JK;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SH R, D0 con codifica "00" (memorizza in R l'ingresso D0)
- SHL Ris, D0, R con codifica "00" (esegue lo shift sinistro di R bit di D0)
- SHR Ris, D0, R con codifica "01" (esegue lo shift destro di R bit di D0)
- MIN Ris, D0, R con codifica "10" (conta il numero di bit a 1 presenti in D0)

Il codice dell'operazione da eseguire è presente durante tutta l'esecuzione dell'operazione e non è richiesta una sua memorizzazione. Gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per due cicli.

Nel fronte di discesa del secondo ciclo di clock viene letto l'operando D0.

Nel terzo ciclo di clock ha inizio la realizzazione dell'operazione richiesta.

Se l'operazione è una SH è richiesto un solo ciclo di clock, se l'operazione è uno SHL o SHR sono richiesti 2 cicli di clock, se l'operazione è una MIN sono richiesti 3 cicli di clock.

Al termine dell'operazioni l'uscita $ready$ viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici- Ingegneria Informatica

Prova del 10/12/ 2012

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(5, 8, 9, 10, 12, 13, 24, 26, 28)$

- 1) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- 2) Identificare una copertura minima della funzione;
- 3) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u:

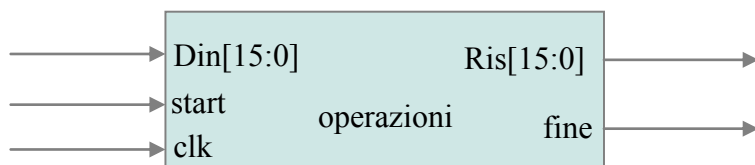
se è presente la sequenza di ingresso $\{00, -1, 0-\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=00$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	E/-	F/1
B	C/0	F/0
C	D/0	B/0
D	A/0	B/1
E	D/0	F/1
F	C/-	F/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni;
- Costruire la tabella delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SHR Ris, D0, D1 con codifica "00" (esegue lo shift sinistro di D1 bit di D0)
- SHL Ris, D0, D1 con codifica "01" (esegue lo shift destro di D1 bit di D0)
- SET Ris, D0, D1 con codifica "10" (pone a '1' il bit di indice D1 in D0)
- PAR Ris, D0 con codifica "11" (mette Ris a 1 se il numero di 1 in è pari, 0 altrimenti)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del primo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del secondo ciclo di clock viene letto l'operando D0.

Se l'operazione è una PAR nel terzo ciclo di clock ha inizio l'operazione richiesta che dura 2 cicli.

Se l'operazione è una SET nel terzo ciclo viene letto l'operando D1 e nel quarto ciclo viene eseguita l'operazione in un solo ciclo di clock.

Se l'operazione è una SHR o una SHL nel terzo ciclo viene letto l'operando D1 e nel quarto ciclo ha inizio l'operazione che dura 2 cicli di clock.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.