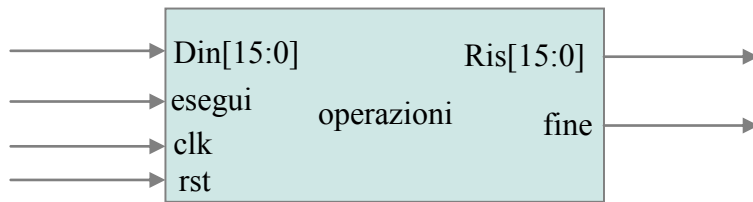


Calcolatori Elettronici - Ingegneria Informatica
Prova del 10/12/ 2012

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SHL Ris, D0, D1 con codifica "00" (esegue lo shift a sinistra di D0 per D1 bit)
- OR Ris, D0, D1 con codifica "01" (esegue l'or bit a bit tra D0 e D1)
- CNT1 Ris, D0 con codifica "10" (conta il numero di bit a 1 presenti in D0)
- PAR Ris, D0 con codifica "11" (mette Ris a 1 se il numero di 1 in è pari, 0 altrimenti)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale esegui che rimane attivo fino a quando fine diventa '1'.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Se l'operazione è una CNT1 o una PAR nel quarto ciclo di clock ha inizio l'operazione.

Se l'operazione è una AND o una OR nel quarto ciclo viene letto l'operando D1 e nel ciclo successivo viene eseguita l'operazione.

La fase di esecuzione delle operazioni OR e CNT richiede 1 ciclo, le altre 2 cicli.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.