

Calcolatori Elettronici - Ingegneria Informatica

Prova del 07/02/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(1, 2, 3, 5, 13, 17, 18, 19, 21, 29)$

- a) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- b) Identificare una copertura minima della funzione;
- c) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u:

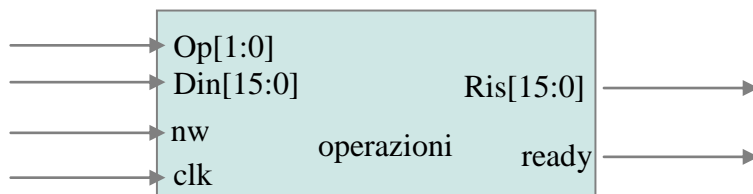
se è presente la sequenza di ingresso $\{11, -1, 0-\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=11$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	C/0
B	E/-	A/0
C	A/1	E/0
D	C/0	A/0
E	A/1	F/-
F	A/1	E/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- ADD Ris, D0, D1 con codifica "00" (esegue l'and bit a bit tra D0 e D1)
- SHL Ris, D0, D1 con codifica "01" (esegue lo shift sinistro di D1 bit di D0)
- NOT Ris, D0 con codifica "10" (esegue il NOT di D0)
- PAR Ris, D0 con codifica "11" (mette Ris a 1 se il numero di 1 in è pari, 0 altrimenti)

Le operazioni da eseguire sono lette mediante l'ingresso OP e gli operandi sono letti mediante l'ingresso Din.
L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock avviene la lettura dell'operazione e dell'operando D0.

Se l'operazione è una NOT o una PAR, nel terzo ciclo di clock ha inizio l'operazione richiesta.

Se l'operazione è una ADD o uno SHL, sul fronte di discesa del terzo ciclo viene letto il secondo operando e nel quarto ciclo ha inizio l'esecuzione dell'operazione.

Si assuma che l'esecuzione dell'ADD richieda 2 cicli di clock, mentre le altre operazioni richiedano un solo ciclo di clock.

Al termine dell'operazioni l'uscita ready viene posta a '1' per un ciclo di clock.