

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 2, 4, 9, 13, 16, 17, 18, 25, 29)$
- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - Identificare una copertura minima della funzione;
 - Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

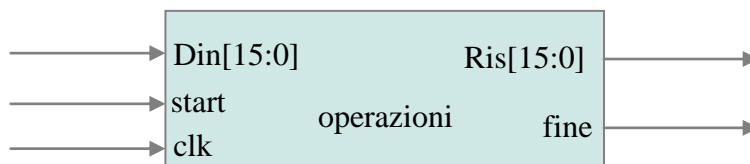
se è presente la sequenza di ingresso $\{0-, 01, -1\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	C/0	A/-
B	B/1	E/0
C	B/0	F/-
D	B/0	A/0
E	B/0	F/0
F	D/0	F/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- | | | |
|-----|-------------|---|
| NOT | Ris, D0 | codifica "00" durata 1 ciclo (esegue not di D0) |
| OR | Ris, D0, D1 | codifica "01" durata 1 ciclo (esegue l'or bit a bit tra D0 e D1) |
| ADD | Ris, D0,D1 | codifica "10" durata 2 ciclo (somma D0 con D1) |
| MAC | Ris, D0,D1 | codifica "11" durata 4 ciclo (somma D0 con il prodotto $D1[15:8]*D1[7:0]$) |

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Se l'operazione è una NOT nel quarto ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti viene letto il secondo operando D1 nel quarto ciclo e ha inizio l'esecuzione dell'operazione nel quinto ciclo.

La durata dell'esecuzione cambia in base all'operazione: 1 per il NOT e l'OR, 2 per l'ADD, 4 per la MAC.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(1, 4, 7, 9, 12, 17, 20, 21, 22, 25)$

- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- Identificare una copertura minima della funzione;
- Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

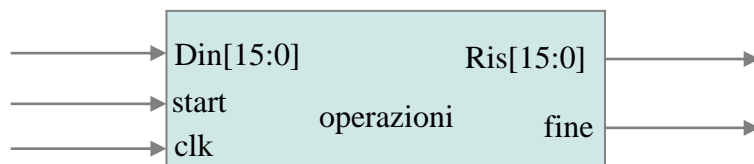
se è presente la sequenza di ingresso $\{0-, -1, 11\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	C/0
B	C/0	A/0
C	D/0	E/1
D	E/-	A/0
E	F/-	C/1
F	C/0	A/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- | | | |
|-----|----------|--|
| LR | R, D0 | codifica "00" durata 1 ciclo (copia D0 in R) |
| OR | R, D0, R | codifica "01" durata 2 ciclo (esegue l'or bit a bit tra D0 e R con risultato in R) |
| SUB | R, D0,D1 | codifica "10" durata 3 cicli (differenza tra D0 e D1 con risultato in R) |
| SR | Ris, R | codifica "11" durata 1 ciclo (manda sull'uscita Ris il valore di R) |

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Se l'operazione è una SUB, nel quarto ciclo di clock viene letto il secondo operando D1 e nel quinto ciclo ha inizio l'operazione richiesta che dura 3 cicli.

Se l'operazione è una LR o una SR, nel quarto ciclo viene eseguita l'operazione che dura 1 ciclo.

Se l'operazione è una OR, nel quarto ciclo viene eseguita l'operazione che dura 2 cicli.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 1, 2, 9, 13, 16, 18, 20, 25, 29)$

- g) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- h) Identificare una copertura minima della funzione;
- i) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

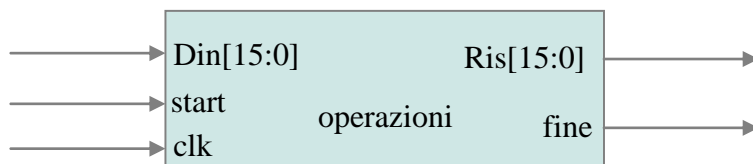
se è presente la sequenza di ingresso $\{1-, 10, -0\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	C/0
B	D/0	A/-
C	F/0	C/0
D	E/1	F/-
E	D/1	B/0
F	E/0	A/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhd1 sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SEZ Ris, D0 codifica "00" durata 1 ciclo (pone Ris a uno se D0 è zero, altrimenti pone Ris a zero)
- AND Ris, D0, D1 codifica "01" durata 1 ciclo (esegue l'and bit a bit tra D0 e D1)
- SUB Ris, D0,D1 codifica "10" durata 2 ciclo (differenza tra D0 e D1)
- DIV Ris, D0,D1 codifica "11" durata 6 ciclo (rapporto tra D0 e D1)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Se l'operazione è una SEZ nel quarto ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti viene letto il secondo operando D1 nel quarto ciclo e ha inizio l'esecuzione dell'operazione nel quinto ciclo.

La durata dell'esecuzione cambia in base all'operazione: 1 per la SEZ e l'AND, 2 per la SUB, 6 per la DIV.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(1, 4, 5, 6, 9, 17, 20, 23, 25, 28)$

- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- Identificare una copertura minima della funzione;
- Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

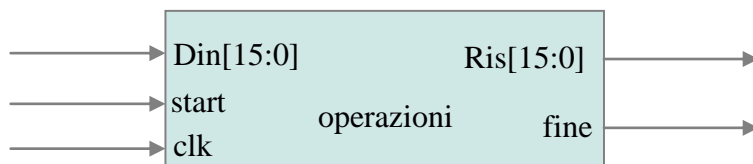
se è presente la sequenza di ingresso $\{-0, 1-, 11\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	C/0
B	E/-	A/0
C	D/0	E/1
D	C/-	A/0
E	F/0	C/1
F	C/0	A/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhd1 sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- LR R, D0 codifica "00" durata 1 ciclo (copia D0 in R)
- AND R, D0, R codifica "01" durata 2 ciclo (esegue l'and bit a bit tra D0 e R con risultato in R)
- ADD R, D0, R codifica "10" durata 3 cicli (somma tra D0 e R con risultato in R)
- SR Ris, R codifica "11" durata 1 ciclo (manda sull'uscita Ris il valore di R)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Nel quarto ciclo ha inizio l'esecuzione dell'operazione.

La durata dell'esecuzione cambia in base all'operazione: 1 ciclo per LR e SR, 2 cicli per l'AND e 3 cicli per l'ADD.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 2, 4, 9, 13, 16, 17, 18, 25, 29)$

- m) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- n) Identificare una copertura minima della funzione;
- o) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

se è presente la sequenza di ingresso $\{1-, 10, -0\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.

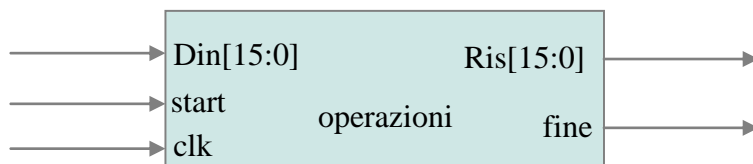
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	C/0
B	D/0	A/-
C	F/0	C/0
D	E/1	F/-
E	D/1	B/0
F	E/0	A/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SNE Ris, D0 codifica "00" durata 1 ciclo (pone Ris a uno se D0 non è zero, altrimenti pone Ris a zero)
- AND Ris, D0, D1 codifica "01" durata 1 ciclo (esegue l'and bit a bit tra D0 e D1)
- ADD Ris, D0,D1 codifica "10" durata 2 ciclo (somma tra D0 e D1)
- DIV Ris, D0,D1 codifica "11" durata 4 ciclo (rapporto tra D0 e D1)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del primo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del secondo ciclo di clock viene letto l'operando D0.

Se l'operazione è una SNE nel terzo ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti viene letto il secondo operando D1 nel terzo ciclo e ha inizio l'esecuzione dell'operazione nel quarto ciclo.

La durata dell'esecuzione cambia in base all'operazione: 1 per la SNE e l'AND, 2 per la ADD, 4 per la DIV.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(1, 4, 7, 9, 12, 17, 20, 21, 22, 25)$

- p) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- q) Identificare una copertura minima della funzione;
- r) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

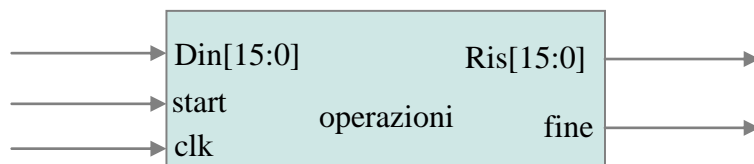
se è presente la sequenza di ingresso $\{-0, 1-, 11\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	C/0
B	E/-	A/0
C	D/0	E/1
D	C/-	A/0
E	F/0	C/1
F	C/0	A/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- LR R, D0 codifica "00" durata 1 ciclo (copia D0 in R)
- AND R, D0, R codifica "01" durata 2 ciclo (esegue l'and bit a bit tra D0 e R con risultato in R)
- ADD R, D0, R codifica "10" durata 3 cicli (somma tra D0 e R con risultato in R)
- SR Ris, R codifica "11" durata 1 ciclo (manda sull'uscita Ris il valore di R)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Nel fronte di discesa del primo ciclo di clock viene letta l'operazione.

Nel fronte di discesa del secondo ciclo di clock viene letto l'operando D0.

Nel terzo ciclo ha inizio l'esecuzione dell'operazione.

La durata dell'esecuzione cambia in base all'operazione: 1 ciclo per LR e SR, 2 cicli per l'AND e 3 cicli per l'ADD.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 2, 4, 11, 15, 16, 17, 18, 27, 31)$

- s) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- t) Identificare una copertura minima della funzione;
- u) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

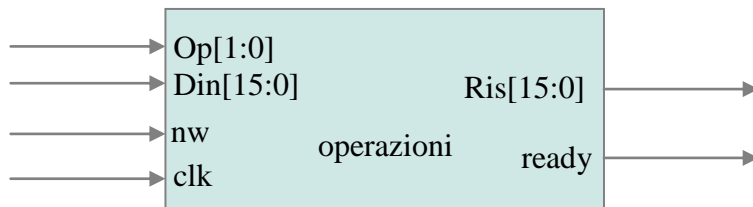
se è presente la sequenza di ingresso $\{-0, 10, 1-\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	F/0	A/-
B	D/0	C/0
C	F/0	C/0
D	D/1	B/0
E	E/1	F/0
F	E/0	A/-

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF T;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SLT Ris, D0,D1 codifica "00" durata 2 cicli (pone Ris a 1 se $D0 < D1$, a zero altrimenti)
- OR Ris, D0,D1 codifica "01" durata 1 ciclo (esegue l'or bit a bit tra D0 e D1)
- ADD Ris, D0,D1 codifica "10" durata 3 cicli (somma D0 con D1)
- MAC Ris, D0,D1 codifica "11" durata 6 cicli (somma D0 con il prodotto $D1[15:8]*D1[7:0]$)

Le operazioni da eseguire sono lette mediante OP e gli operandi sono letti mediante l'ingresso Din.
L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione e l'operando D0.

Nel terzo ciclo viene letto il secondo operando D1 e viene realizzata la decodifica dell'operazione.

Nel quarto ciclo ha inizio l'esecuzione dell'operazione la cui durata dipende dall'operazione: 1 per l'OR, 2 per il SLT, 3 per l'ADD, 6 per la MAC.

Al termine dell'operazioni l'uscita ready viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(2, 4, 7, 11, 12, 18, 20, 22, 23, 27)$

- v) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- w) Identificare una copertura minima della funzione;
- x) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

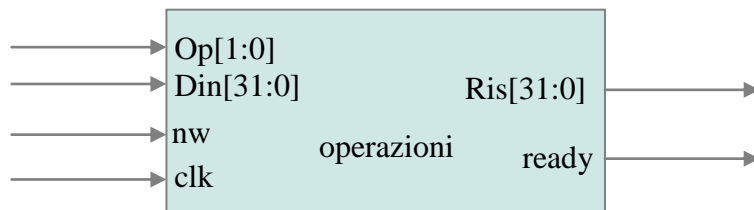
se è presente la sequenza di ingresso $\{1-, -1, 10\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	C/0	A/0
B	F/0	D/-
C	E/0	B/0
D	C/0	A/0
E	E/1	F/0
F	E/0	D/-

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- LW R, D0 codifica "00" durata 1 ciclo (copia D0 in R)
- AND R, D0, R codifica "01" durata 2 cicli (esegue l'and bit a bit tra D0 e R con risultato in R)
- ADD R, D0,D1 codifica "10" durata 4 cicli (somma tra D0 e D1 con risultato in R)
- SW Ris, R codifica "11" durata 1 ciclo (manda sull'uscita Ris il valore di R)

Le operazioni da eseguire sono lette mediante Op e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione e l'operando D0.

Se l'operazione è una ADD, nel terzo ciclo di clock viene letto il secondo operando D1 e nel quarto ciclo ha inizio l'operazione richiesta che dura 4 cicli.

Se l'operazione è una LW o una SW, nel terzo ciclo viene eseguita l'operazione che dura 1 ciclo.

Se l'operazione è un'AND, nel quarto ciclo viene eseguita l'operazione che dura 2 cicli.

Al termine dell'operazioni l'uscita ready viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 1, 2, 11, 15, 16, 18, 20, 27, 31)$

- y) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- z) Identificare una copertura minima della funzione;
- aa) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

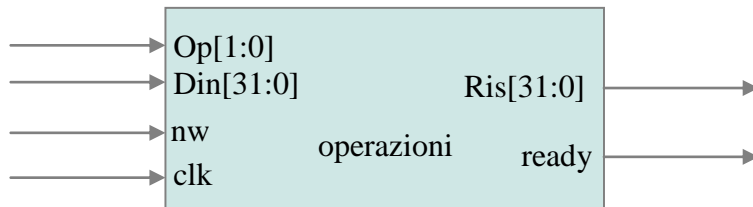
se è presente la sequenza di ingresso $\{-1, 01, 0-\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	E/0
B	E/0	A/-
C	D/-	F/0
D	F/0	C/0
E	B/0	E/1
F	D/0	F/1

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF JK;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- PAR Ris, D0 codifica "00" durata 1 ciclo (pone Ris a uno se D0 è pari, a zero altrimenti)
- AND Ris, D0, D1 codifica "01" durata 1 ciclo (esegue l'and bit a bit tra D0 e D1)
- SUB Ris, D0,D1 codifica "10" durata 3 cicli (differenza tra D0 e D1)
- MUL Ris, D0,D1 codifica "11" durata 4 cicli (calcola il prodotto tra D0[15:0] e D1[15:0])

Le operazioni da eseguire sono lette mediante Op e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione e l'operando D0.

Se l'operazione è una PAR nel terzo ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti viene letto il secondo operando D1 nel terzo ciclo e ha inizio l'esecuzione dell'operazione nel quarto ciclo.

La durata dell'esecuzione cambia in base all'operazione: 1 per la AND e la PAR, 3 per la SUB, 4 per la MULT. Al termine dell'operazioni l'uscita ready viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 10/12/ 2013

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(2, 4, 6, 7, 11, 16, 20, 23, 27, 28)$
 - bb) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - cc) Identificare una copertura minima della funzione;
 - dd) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

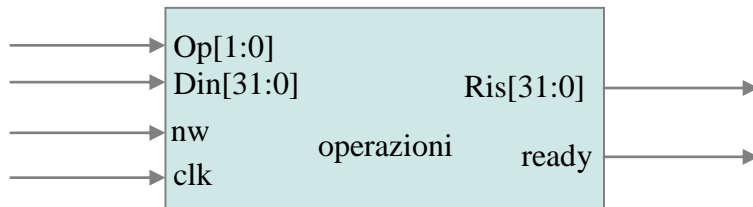
se è presente la sequenza di ingresso $\{-1, 1-, 01\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	E/0	B/-
B	A/-	E/0
C	E/0	D/0
D	C/0	E/0
E	F/0	E/1
F	E/0	D/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

MOV R, D0 codifica "00" durata 1 ciclo (copia D0 in R)
AND Ris, D0, R codifica "01" durata 1 ciclo (esegue l'and bit a bit tra D0)
ADD Ris, D0, R codifica "10" durata 2 cicli (somma tra D0 e R)
MULT Ris, D0, R codifica "11" durata 4 cicli (calcola il prodotto tra D[15:0] e R[15:0])

Le operazioni da eseguire sono lette mediante Op e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per un solo ciclo.

Nel fronte di discesa del secondo ciclo di clock viene letta l'operazione e l'operando D0.

Nel terzo ciclo ha inizio l'esecuzione dell'operazione.

La durata dell'esecuzione cambia in base all'operazione: 1 ciclo per MOV e AND, 2 cicli per l'ADD e 4 cicli per MUL.

Al termine dell'operazioni l'uscita ready viene posta a '1' per un ciclo di clock.