

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 1, 4, 8, 16, 17, 20, 21, 24, 25)$

- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
- Identificare una copertura minima della funzione;
- Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

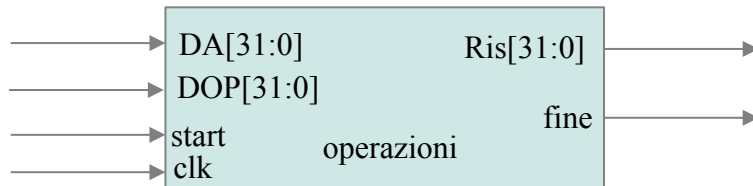
se è presente la sequenza di ingresso $\{10, -1, 0-, 01\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	F/0
B	E/0	F/-
C	D/0	G/-
D	E/0	G/0
E	E/1	F/0
F	A/0	G/0
G	C/0	G/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- SET Ris, D0 codifica "00" durata 1 ciclo (pone a '1' il bit D0 di Ris, a '0' tutti gli altri bit)
- SLT Ris, D0,D1 codifica "01" durata 1 ciclo (Ris = 1 se D0 < D1, 0 altrimenti)
- ADD2 Ris, D0,D1 codifica "10" durata 2 cicli (somma D0 con D1)
- ADD3 Ris, D0,D1,D2 codifica "11" durata 4 cicli (somma tra D0, D1 e D2)

Le operazioni da eseguire sono lette mediante la porta DOP, gli operandi sono letti mediante gli ingressi DA e DOP. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Sul fronte di discesa del secondo ciclo di clock viene letta l'operazione tramite DOP e l'operando D0 tramite DA.

Nel terzo ciclo di clock viene effettuata la decodifica delle operazioni e vengono memorizzati (sul fronte di discesa del terzo ciclo), rispettivamente, nel registro D1 il valore dell'ingresso DA, e sul registro D2 il valore dell'ingresso DOP.

Nel quarto ciclo ha inizio l'esecuzione delle istruzioni.

La durata dell'esecuzione cambia in base all'operazione: 1 per il SET e il SLT, 2 per l'ADD2, 4 per l'ADD3.

Al termine delle operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(2, 3, 6, 10, 18, 19, 22, 23, 26, 27)$
- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - Identificare una copertura minima della funzione;
 - Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

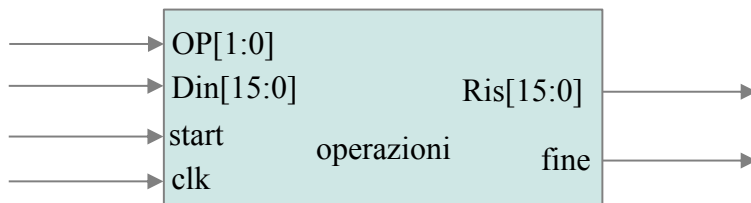
se è presente la sequenza di ingresso $\{01, -1, 0-, 10\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	C/0	E/0
B	A/0	D/1
C	F/-	E/0
D	C/0	G/1
E	A/-	B/0
F	A/0	E/0
G	F/0	B/1

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF JK;
Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha 2 registri interni R0 e R1 e ha il compito di realizzare una delle seguenti operazioni:

- | | | |
|-----|-------------|---------------------------------------------------------------------------------------|
| LD | R0, Din | codifica "00" (copia Din in R0) |
| LD | R1, Din | codifica "01" (copia Din in R1) |
| AND | R1, R0, R1 | codifica "10" durata 2 cicli (esegue l'AND bit a bit tra R0 e R1 con risultato in R1) |
| ADD | Ris, R0, R1 | codifica "11" durata 3 cicli (somma tra R0 e R1 con risultato in Ris) |

Le operazioni da eseguire sono lette mediante l'ingresso OP, gli operandi sono letti mediante l'ingresso Din.
L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale start per un solo ciclo.

Sul fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel terzo ciclo viene fatta la decodifica dell'istruzione.

Se l'operazione è una LD, nel quarto ciclo viene letto l'operando Din che viene memorizzato o in R0 o in R1 sul fronte di discesa dello stesso ciclo.

Se l'operazione è una AND o una ADD, nel quarto ciclo inizia o l'esecuzione dell'AND che viene completata in 2 cicli o l'esecuzione dell'ADD che viene completata in 3 cicli.

Al termine delle operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 1, 4, 5, 8, 9, 16, 17, 20, 24)$
- g) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - h) Identificare una copertura minima della funzione;
 - i) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

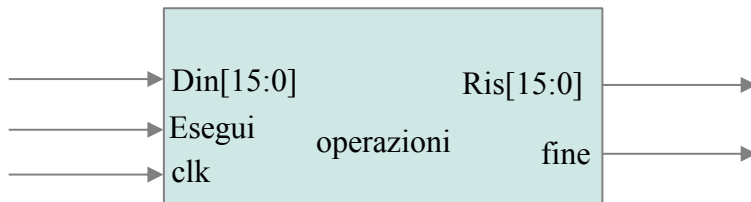
se è presente la sequenza di ingresso $\{01, 0-, -1, 10\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=01$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	B/0	D/-
B	C/0	G/0
C	F/1	D/0
D	E/0	D/0
E	B/0	G/-
F	C/1	D/0
G	A/0	G/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF T;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

SEZ	Ris, D0	codifica "00" (pone Ris a uno se D0 è zero, altrimenti pone Ris a zero)
AND	Ris, D0, D1	codifica "01" (esegue l'and bit a bit tra D0 e D1)
SUB	Ris, D0, D1	codifica "10" (differenza tra D0 e D1)
ADD	Ris, D0, D1, D2	codifica "11" (somma tra D0, D1 e D2)

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din.

L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale Esegui che rimane attivo durante l'intera durata dell'operazione.

Sul fronte di discesa del secondo ciclo di clock viene letta l'operazione (2 bit) .

Sul fronte di discesa del terzo ciclo di clock viene letto l'operando D0.

Se l'operazione è una SEZ nel quarto ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti sul fronte di discesa del quarto ciclo viene letto il secondo operando D1.

Se l'operazione è una SUB o un AND nel quinto ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti sul fronte di discesa del quinto ciclo viene letto il terzo operando D2.

Se l'operazione è una ADD nel sesto ciclo di clock ha inizio l'operazione richiesta che dura 2 cicli.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(2, 3, 6, 7, 10, 11, 18, 19, 22, 26)$
- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - Identificare una copertura minima della funzione;
 - Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

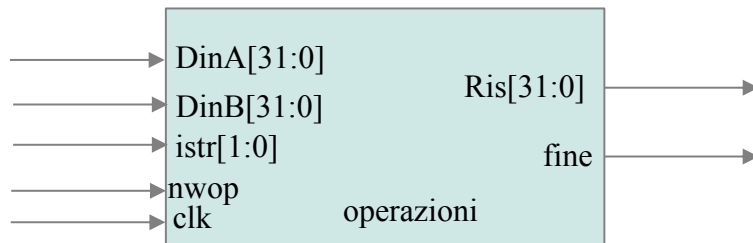
se è presente la sequenza di ingresso $\{10, 0-, -1, 01\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0. Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	A/0	C/0
B	D/0	E/1
C	A/-	B/0
D	G/0	F/0
E	G/0	B/1
F	D/-	E/0
G	D/0	C/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF JK;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema un registro temporaneo R, in cui sono memorizzati i risultati e ha il compito di realizzare una delle seguenti operazioni:

- ANDR (R,Ris), D0,D1 codifica "00" durata 1 ciclo (AND tra D0 e D1 e risultato copiato in Ris e in R)
- XOR Ris, D0,R codifica "01" durata 2 cicli (XOR tra D0 e R e risultato copiato in Ris)
- ADDR (R,Ris) D0, D1 codifica "10" durata 3 cicli (somma tra D0 e D1 e risultato copiato in Ris e in R)
- ADD Ris, D0, R codifica "11" durata 3 cicli (somma tra D0 e R e risultato copiato in Ris)

Le operazioni da eseguire sono lette mediante l'ingresso istr e gli operandi sono letti mediante gli ingressi DinA e DinB.

L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nwop e sul fronte del primo ciclo di clock viene letta l'operazione.

Nel secondo ciclo di clock viene fatta la decodifica.

Sul fronte di discesa del secondo ciclo viene memorizzato in D0 l'ingresso DinA. Se l'operazione è una ANDR o ADDR sullo stesso fronte di discesa viene memorizzato in D1 l'ingresso DinB.

Nel terzo ciclo ha inizio l'esecuzione dell'operazione.

La durata dell'esecuzione cambia in base all'operazione: 1 ciclo per ANDR, 2 cicli per lo XOR, 3 cicli per ADD e ADDR.

Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 2, 8, 10, 12, 14, 16, 18, 20, 22)$
- Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - Identificare una copertura minima della funzione;
 - Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

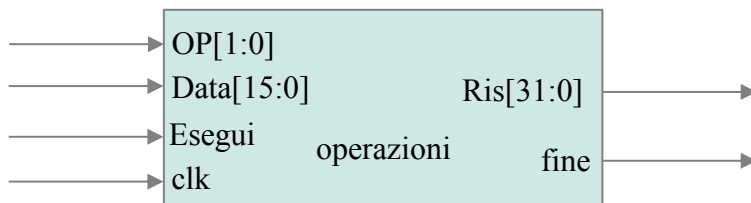
se è presente la sequenza di ingresso $\{00, -1, 0-, 01\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=00$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	D/0	C/0
B	F/1	E/0
C	A/0	G/-
D	B/0	E/0
E	A/0	C/0
F	B/1	G/-
G	A/0	E/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- | | | |
|-----|-------------|----------------------------------------------------------------------------|
| STP | Ris, D0 | codifica "00" durata 1 ciclo (Ris a zero se D0 è positivo, uno altrimenti) |
| MIN | Ris, D0, D1 | codifica "01" durata 2 cicli (minimo tra D0 e D1) |
| ADD | Ris, D0, D1 | codifica "10" durata 2 cicli (somma tra D0 e D1) |
| MUL | Ris, D0, D1 | codifica "11" durata 4 cicli (prodotto tra D0 e D1) |

I risultati a 16 bit vengono estesi a 32 bit.

Le operazioni da eseguire sono lette mediante la porta OP, gli operandi sono letti mediante l'ingresso Data.
L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale esegui che rimane attivo per tutta la durata dell'operazione. Se il segnale Esegui viene disattivato prima della fine dell'esecuzione, non viene prodotto alcun valore e fine rimane a zero.

Sul fronte di discesa del primo ciclo di clock viene letta l'operazione e il primo operando.

Nel secondo ciclo viene fatta la decodifica.

Se l'operazione è una STP nel terzo ciclo di clock ha inizio l'operazione richiesta che dura 1 ciclo, altrimenti viene letto il secondo operando D1 sul fronte di discesa del terzo ciclo e ha inizio l'esecuzione dell'operazione nel quarto ciclo.

La durata dell'esecuzione cambia in base all'operazione: 1 per la STP, 2 per la MIN e l'ADD, 4 per la MUL.
Al termine dell'operazioni l'uscita fine viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(4, 6, 8, 10, 12, 20, 22, 24, 26, 28)$
- m) Calcolare col metodo di Quine-McCluskey i suoi implicanti primi;
 - n) Identificare una copertura minima della funzione;
 - o) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

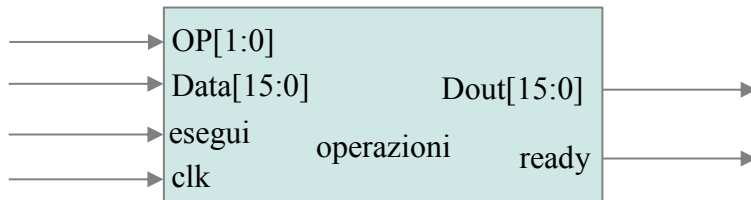
se è presente la sequenza di ingresso $\{11, -1, -0, 10\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=11$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	E/0	C/0
B	B/1	A/-
C	E/0	F/0
D	G/1	C/-
E	D/0	F/0
F	E/0	A/0
G	B/1	A/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF SR;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha un registro interno R e ha il compito di realizzare una delle seguenti operazioni:

- | | | |
|-----|-------------|-----------------------------------------------------------------------|
| SET | R, Data | codifica "00" durata 1 ciclo (copia Data in R) |
| OR | R, D0, R | codifica "01" durata 2 cicli (OR tra D0 e R, risultato in R) |
| AND | Dout, D0, R | codifica "10" durata 2 cicli (AND tra D0 e R, risultato in Dout) |
| ADD | Dout, D0, R | codifica "11" durata 3 cicli (somma tra D0 e R con risultato in Dout) |

Le operazioni da eseguire sono lette mediante l'ingresso OP , gli operandi sono letti mediante l'ingresso $Data$. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale $esegui$ per un solo ciclo.

Sul fronte di discesa del secondo ciclo di clock viene letta l'operazione.

Nel terzo ciclo viene fatta la decodifica dell'istruzione.

Se l'operazione è una SET, sul fronte di discesa del quarto ciclo viene memorizzato l'operando $Data$ in R .

Negli altri casi sul fronte di discesa del quarto ciclo viene memorizzato l'operando $Data$ in $D0$ e nel ciclo successivo ha inizio l'operazione che dura 2 cicli per l'OR e l'AND, 3 cicli per l'ADD.

L'uscita $ready$ viene posta a '0' dal ciclo successivo a quello di attivazione del segnale $esegui$ all'ultimo ciclo di esecuzione.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 2, 4, 6, 16, 18, 24, 26, 28, 30)$

- p) Calcolare col metodo di Quine-McCluskey i suoi implicant primari;
- q) Identificare una copertura minima della funzione;
- r) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

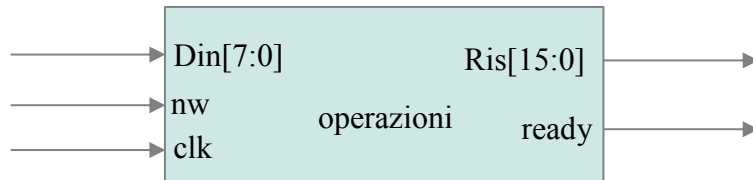
se è presente la sequenza di ingresso $\{11, 1-, -0, 10\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=11$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	F/0	B/-
B	A/0	C/0
C	D/0	B/0
D	F/0	C/0
E	E/1	B/-
F	G/0	B/0
G	G/1	C/0

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF T;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare una delle seguenti operazioni:

- AND8 Ris, D0,D1 codifica "00" durata 1 ciclo (AND tra D0 e D1 con valori a 8 bit)
- OR16 Ris, D0,D1 codifica "01" durata 1 ciclo (OR tra D0 e D1 con valori a 16 bit)
- ADD8 Ris, D0,D1 codifica "10" durata 1 ciclo (somma D0 con D1 con valori a 8 bit)
- ADD16 Ris, D0,D1 codifica "11" durata 1 ciclo (somma D0 con D1 con valori a 16 bit)

Gli operandi D0,D1 sono registri interni a 16 bit

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din a 8 bit.

L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw per un solo ciclo.

Sul fronte di discesa del primo ciclo viene letta l'operazione tramite Din.

Sul fronte di discesa del secondo ciclo di clock viene letto il valore Din che viene copiato in D0[7:0].

Sul fronte di discesa del terzo ciclo di clock viene letto il valore Din che viene copiato in D1[7:0].

Se l'operazione è a 8 bit, nel quarto ciclo viene eseguita l'operazione in un ciclo e il risultato, esteso in segno, viene scritto sul fronte di discesa dello stesso ciclo.

Se l'operazione è a 16 bit, sul fronte di discesa del quarto ciclo viene letto il valore Din che viene copiato in D0[15:8], sul fronte di discesa del quinto ciclo viene letto il valore Din che viene copiato in D1[15:8] e nel sesto ciclo di clock viene eseguita l'operazione il cui risultato viene scritto sul fronte di discesa dello stesso ciclo.

Al termine dell'operazioni l'uscita ready viene posta a '1' per un ciclo di clock.

Calcolatori Elettronici - Ingegneria Informatica

Prova del 09/12/ 2014

1. Data la funzione booleana $f(a,b,c,d,e) = \Sigma(0, 2, 4, 6, 12, 16, 18, 20, 22, 28)$

- s) Calcolare col metodo di Quine-McCluskey i suoi implicant primari;
- t) Identificare una copertura minima della funzione;
- u) Scrivere l'espressione logica minima;

2. Si realizzi il diagramma degli stati e la tabella degli stati della macchina a stati finiti (tipo Mealy) che rappresenta il seguente circuito a due ingressi x_1x_0 e una sola uscita u :

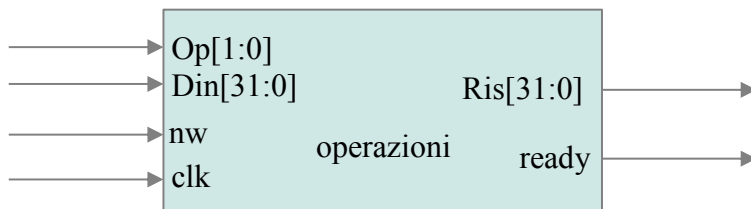
se è presente la sequenza di ingresso $\{10, 0-, -1, 11\}$ l'uscita vale 1, in tutti gli altri casi l'uscita vale 0.
Lo stato iniziale corrisponde all'ingresso $x_1x_0=10$.

3. Data la seguente tabella degli stati relativa ad una rete sequenziale con un solo ingresso x non completamente specificata:

	0	1
A	F/0	B/0
B	A/0	C/0
C	D/0	B/0
D	F/0	C/-
E	E/1	B/0
F	G/0	B/0
G	G/1	C/-

- Eseguire la minimizzazione degli stati e realizzare la tabella degli stati della macchina minima equivalente;
- Costruire la tabella delle transizioni e delle eccitazioni usando come elemento di memoria i FF JK;
- Scrivere l'espressione logica minima delle funzioni booleane che rappresentano lo stato prossimo e l'uscita.

4. Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha 4 registri interni (R, D0, D1 e D2) e ha il compito di realizzare una delle seguenti operazioni:

- SLT R, D0, D1 codifica "00" durata 1 ciclo (pone $R = 1$ se $D0 < D1$, 0 altrimenti)
- OR Ris, D0, D1 codifica "01" durata 1 ciclo (OR tra D0 e D1 con risultato in Ris)
- ADSB Ris, D0, D1, R codifica "10" durata 2 cicli (somma tra D0 e D1 se $R = 1$, differenza tra D0 e D1 se $R \neq 1$)
- MEDIA Ris, D0, D1, D2 codifica "11" durata 3 cicli (calcola la media tra D0, D1 e D2)

Le operazioni da eseguire sono lette mediante Op e gli operandi sono letti mediante l'ingresso Din. L'esecuzione avviene nel seguente modo.

Nel primo ciclo di clock viene attivato il segnale nw che rimane attivo fino a quando $ready = 0$.

Sul fronte di discesa del secondo ciclo di clock viene scritto in D0 il valore dell'ingresso Din e viene letta l'operazione tramite la porta Op.

Sul fronte di discesa del terzo ciclo di clock viene scritto in D1 il valore dell'ingresso Din.

Se l'operazione è una MEDIA, sul fronte di discesa del quarto ciclo di clock viene scritto in D2 il valore dell'ingresso Din.

Al termine della memorizzazione degli operandi ha inizio l'esecuzione dell'operazione.

La durata dell'esecuzione cambia in base all'operazione: 1 per la SLT e l'OR, 2 per la ADSB, 3 per la MEDIA.

L'uscita ready viene posta a '1' al termine dell'esecuzione e viene rimessa a '0' all'avvio di una nuova operazione.