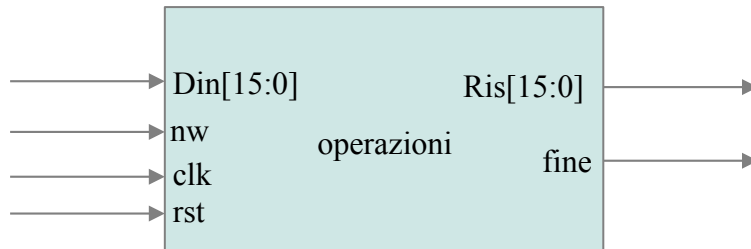


Laboratorio di Calcolatori
Prova VHDL
09/02/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è caratterizzato da due registri Accumulatore Acc0 e Acc1 e ha il compito di realizzare una delle seguenti operazioni:

- Store Din, Acc0 (memorizza nell'accumulatore Acc0 l'ingresso Din) codifica "000"
- Store Din, Acc1 (memorizza nell'accumulatore Acc1 l'ingresso Din) codifica "100"
- Load Dout, Acc0 (legge l'accumulatore Acc0 e lo invia a Dout) codifica "001"
- Acc0 = Acc0 + Acc1 (somma i due accumulatori) codifica "010"
- Acc1 = Not Acc1 (viene fatto il not dell' accumulatore Acc1) codifica "111"
- Acc0 = shift sinistro di Acc0 di Acc1 Bit codifica "011"

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din.

L'ingresso nw viene attivato per un ciclo di clock e indica l'inizio di una nuova operazione.

Nel ciclo di clock di l'attivazione dell'ingresso nw viene letta su Din l'operazione da eseguire.

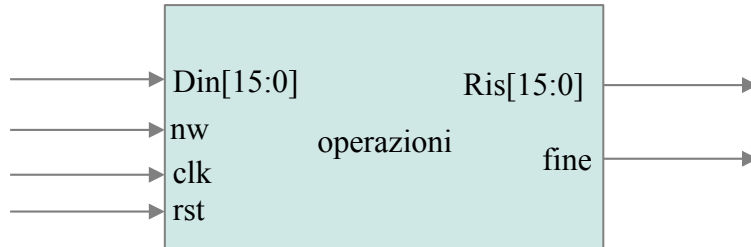
Nel ciclo di clock successivo all'attivazione di nw, l'operazione viene decodificata.

Nel caso di somma, shift e di Not, l'operazione viene eseguita nello stesso ciclo di clock della decodifica, nel caso di load e di store, l'operazione viene conclusa nel ciclo di clock successivo.

Al termine dell'operazione l'uscita fine viene posta a '1' per un ciclo di clock

Laboratorio di Calcolatori
Prova VHDL
09/02/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è caratterizzato da due registri Accumulatore Acc0 e Acc1 e ha il compito di realizzare una delle seguenti operazioni:

- Store Din, Acc0 (memorizza nell'accumulatore Acc0 l'ingresso Din) codifica "000"
- Store Din, Acc1 (memorizza nell'accumulatore Acc0 l'ingresso Din) codifica "100"
- Load Dout, Acc0 (legge l'accumulatore Acc0 e lo invia a Dout) codifica "001"
- Acc0 = Acc0+ Acc1 (somma i due accumulatori) codifica "010"
- Acc1 = Acc0 (copia Acc0 in Acc1) codifica "111"
- Acc0 = Acc1 OR Acc0 codifica "011"

Le operazioni da eseguire e gli operandi sono letti mediante l'ingresso Din.

L'ingresso nw viene attivato per un ciclo di clock e indica l'inizio di una nuova operazione.

Nel ciclo di clock di l'attivazione dell'ingresso nw viene letta su Din l'operazione da eseguire.

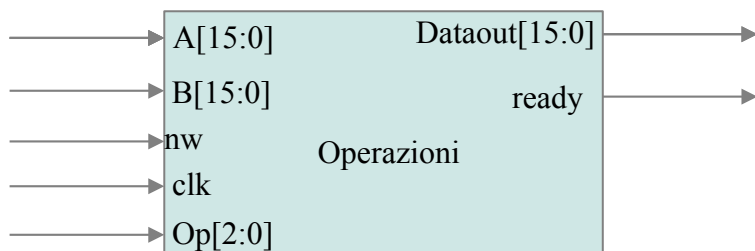
Nel ciclo di clock successivo all'attivazione di nw, l'operazione viene decodificata.

Nel caso di somma, copia e di OR, l'operazione viene eseguita nello stesso ciclo di clock della decodifica, nel caso di load e di store, l'operazione viene conclusa nel ciclo di clock successivo.

Al termine dell'operazione l'uscita fine viene posta a '1' per un ciclo di clock

Laboratorio di Calcolatori
Prova VHDL
10/02/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Questo sistema può realizzare una delle seguenti operazioni:

- A+ B Somma tra due numeri letti tramite gli ingressi A e B (Op="000")
- A shift_Left B Shift Sinistro di A di B bit (Op="001")
- AND tra A e B (Op="010")
- OR tra A e B (Op="011")
- $A[7:0]0*B[7:0]0+A[7:0]1+B[7:0]1$ Somma del prodotto di due coppie (Op="100").

Quando nw = '1' (per un ciclo di clock) ha inizio una nuova operazione.

Nello stesso ciclo vengono letti gli operandi A, B e OP.

Nel ciclo di clock successivo viene realizzata la decodifica.

Nel ciclo successivo alla decodifica vengono eseguite le operazioni richieste.

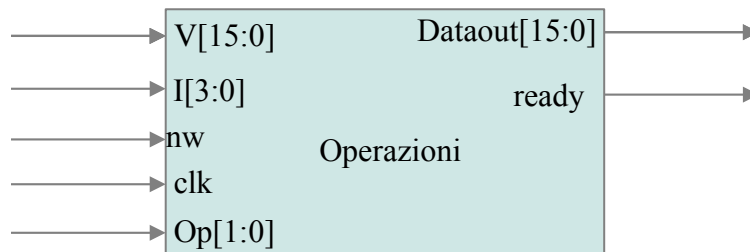
Nel caso della somma di prodotti, dopo la decodifica, viene letta la seconda coppia di operandi e successivamente viene realizzata l'operazione richiesta.

Si supponga che tutte operazioni di shift, AND e OR richiedano 1 solo ciclo di clock, l'operazione di somma 2 cicli di clock e la somma di prodotto 4 cicli di clock.

Al termine dell'operazione il segnale ready viene posto a '1' per un ciclo di clock.

Laboratorio di Calcolatori
Prova VHDL
10/02/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha al suo interno una memoria RAM di 16 locazioni da 2 byte e può realizzare una delle seguenti operazioni:

- | | | |
|----------------|--------------------|----------|
| - Store V, I | : Mem(I) = V | Op="000" |
| - Load I | : Dout=Mem(I) | Op="100" |
| - ADD V0, V1 | : Dout = V0+V1 | Op="001" |
| - ADDI V, I | : Dout = V+ Mem(I) | Op="010" |
| - ADDM V0,V1,I | : Mem(I) = V0+V1 | Op="011" |

Quando nw = '1' vengono letti sulle porte V, Op e I, rispettivamente, il primo operando, l'operazione da decodificare e l'eventuale indice della memoria RAM. Dopo la decodifica, vengono eseguite le operazioni richieste.

Nel caso di somma ADD o ADDM, dopo avere fatto la decodifica, è necessario leggere un secondo operando nel successivo ciclo di clock.

Si supponga che dopo la decodifica la Load e la Store vengano eseguite in un ciclo di clock, le ADD (dopo la lettura del secondo operando) e ADDI in 2 cicli e la ADDM (dopo la lettura del secondo operando) in 3 cicli di clock.

Al termine dell'operazione il segnale ready viene posto a '1' per un ciclo di clock.