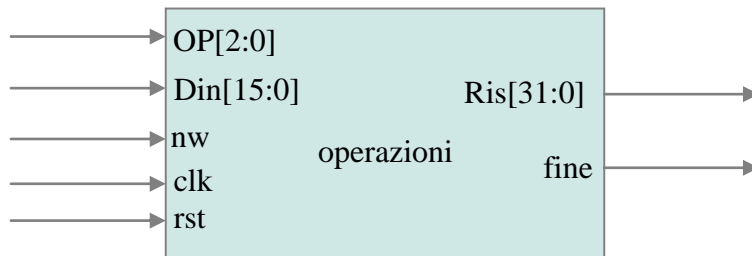


Laboratorio di Calcolatori  
Prova VHDL  
01/03/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è ha il compito di realizzare una delle seguenti operazioni:

- ADDH : legge 2 valori da Din a 16 bit (D0 e D1) e ne fa la somma con estensione del segno OP= "000"
- ADDW : legge 4 valori da Din a 16 bit (D00,D01 e D10, D11) e fa la somma a 32 bit Ris= D00&D01+D10&D11 OP= "100"
- MULT : legge 2 valori da Din a 16 bit (D0 e D1) e ne fa il prodotto a 32 bit Ris= D0\*D1 OP= "001"
- CAT : legge 2 valori da Din a 16 bit (D0 e D1) e li concatena Ris= D1&D0 OP= "010"
- SHL : legge 2 valori da Din a 16 bit (D0 e D1) e fa lo shift sinistro di D0 di D1 Bit con OP="011"
- NOT (legge 1 valore da Din (D0) e ne fa il NOT Ris[15:0] = NOT D0 OP="011"

Gli operandi sono letti mediante l'ingresso Din.

L'ingresso nw viene attivato per un ciclo di clock e indica l'inizio di una nuova operazione.

Nel ciclo di clock successivo all'attivazione dell'ingresso nw viene letta su OP l'operazione da eseguire e su Din il primo operando.

Nel ciclo di clock successivo alla lettura dell'operazione viene eseguita la decodifica e la lettura di un eventuale secondo operando.

Nel caso in cui l'operazione richieda 1 o due operandi, nel ciclo di clock successivo alla decodifica ha inizio l'esecuzione dell'operazione.

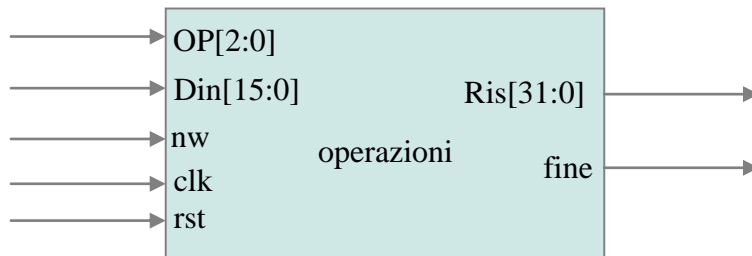
Nel caso in cui l'operazione ha bisogno di ulteriori operandi, dopo la decodifica, prima vengono letti gli altri operandi e poi ha inizio l'esecuzione dell'operazione.

Si assuma che nel caso si NOT, SHL, CAT, l'operazione viene eseguita in 1 ciclo di clock, nel caso di somma ADDH e ADDW in 2 cicli di clock e nel caso di prodotto MULT in 5 cicli di clock.

Al termine dell'operazione l'uscita fine viene posta a '1' per un ciclo di clock

Laboratorio di Calcolatori  
Prova VHDL  
01/03/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è ha il compito di realizzare una delle seguenti operazioni:

- ADDH : legge 2 valori da Din a 16 bit (D0 e D1) e ne fa la somma con estensione del segno OP= "000"
- ADDW : legge 4 valori da Din a 16 bit (D00,D01 e D10, D11) e fa la somma a 32 bit Ris= D00&D01+D10&D11 OP= "100"
- MULT : legge 2 valori da Din a 16 bit (D0 e D1) e ne fa il prodotto a 32 bit Ris= D0\*D1 OP= "001"
- OR : legge 2 valori da Din a 16 bit (D0 e D1) e ne fa l'OR
- SHR : legge 2 valori da Din a 16 bit (D0 e D1) e fa lo shift destro di D0 di D1 Bit con i OP="011"
- NOT (legge 1 valore da Din (D0) e ne fa il NOT Ris[15:0] = NOT D0 OP="011"

Gli operandi sono letti mediante l'ingresso Din.

Il sistema rimane attivo e realizza le operazioni richieste solo se nw = '1'.

Sul fronte di discesa del primo ciclo di clock in cui l'ingresso nw viene attivato, viene letta su OP l'operazione da eseguire e su Din il primo operando.

Nel ciclo di clock successivo alla lettura dell'operazione viene eseguita la decodifica.

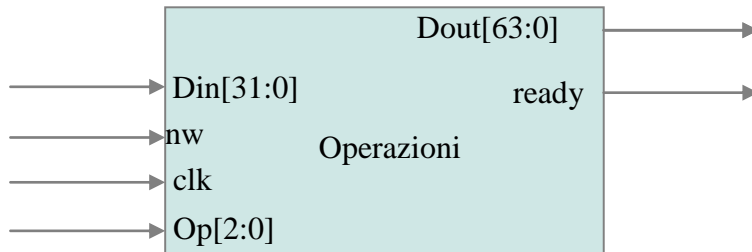
Nel caso in cui l'operazione ha bisogno di ulteriori operandi, dopo la decodifica, prima vengono letti gli altri operandi e poi ha inizio l'esecuzione dell'operazione.

Si assuma che nel caso si NOT, SHR e OR, l'operazione viene eseguita in 1 ciclo di clock, nel caso di somma ADDH e ADDW in 2 cicli di clock e nel caso di prodotto MULT in 4 cicli di clock.

Al termine dell'operazione l'uscita fine viene posta a '1' fino a quando nw vale '1'.

Laboratorio di Calcolatori  
Prova VHDL  
05/03/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Questo sistema può realizzare una delle seguenti operazioni:

- ADD:  $D_0 + D_1$  Somma tra 2 numeri  $D_0$  e  $D_1$  letti tramite l'ingresso Din (Op="000")
- ADDH :  $D[15:0] + D[31:16]$  Somma tra 2 valori letti con un'unica lettura da Din (Op="001")
- ORH:  $D[15:0] \text{ OR } D[31:16]$  OR tra 2 valori letti mediante un'unica lettura da Din (Op="010")
- OR:  $D_0 \text{ OR } D_1$  OR tra 2 numeri  $D_0$  e  $D_1$  letti tramite l'ingresso Din (Op="011")
- MULT:  $D[15:0] * D[31:16]$  prodotto tra 2 valori letti mediante un'unica lettura da Din (Op="100")
- MULTD:  $D_0 * D_1$  Prodotto tra 2 numeri  $D_0$  e  $D_1$  letti tramite l'ingresso Din (Op="110")
- SMULT:  $D_0 + D_1 * D_2$  Somma e prodotto di 3 numeri  $D_0$ ,  $D_1$  e  $D_2$  letti tramite l'ingresso Din (Op="111")

Quando  $nw = '1'$  (per due cicli di clock) ha inizio una nuova operazione.

Nello stesso ciclo vengono letti il primo operando  $D_0$  (tramite Din) e OP.

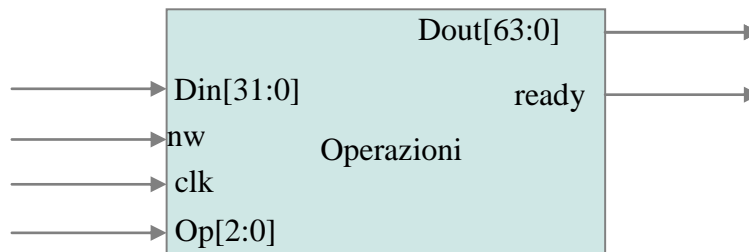
Nel ciclo di clock successivo viene realizzata la decodifica.

Nel caso in cui l'operazione ha bisogno di ulteriori operandi, dopo la decodifica, prima vengono letti gli altri operandi e poi ha inizio l'esecuzione dell'operazione.

Si supponga che le operazioni OR, ORH richiedano 1 solo ciclo di clock, l'operazione ADD e ADDH 2 cicli di clock, le operazioni MULT e MULTD 4 cicli di clock e SMULT 5 cicli di clock. Al termine dell'operazione il segnale ready viene posto a '1' per un ciclo di clock.

Laboratorio di Calcolatori  
Prova VHDL  
05/03/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Questo sistema contiene 2 registri temporanei dove vengono copiati i valori letti dall'ingresso Din e può realizzare una delle seguenti operazioni:

- SW Din, R0: Salva l'ingresso Din in R0 (Op="000")
- SW Din, R1 Salva l'ingresso Din in R1 (Op="001")
- ADD: R0+ R1 Somma tra R0 e R1 (Op="010")
- ADDH : R0[15:0]+R0[31:16] (Op="011")
- ANDH: R[15:0] OR R[31:16] (Op="100")
- AND: R0 OR R1 (Op="101")
- MULT: R0[15:0] \* R0[31:16] (Op="110")
- MULTD: R0 \* R1 (Op="111")

Il sistema è attivo quando nw = '1'. Nel fronte di salita del primo ciclo di clock in cui nw è attivo viene letta l'operazione.

Nel ciclo di clock successivo viene realizzata la decodifica.

Dopo la decodifica, se l'operazione è una SW, viene letto il valore da salvare.

Altrimenti viene eseguita l'operazione richiesta.

Si supponga che le operazioni SW, AND e ANDH richiedano 1 solo ciclo di clock, l'operazione ADD e ADDH 2 cicli di clock, le operazioni MULT e MULTD 4 cicli di clock .

Al termine dell'operazione il segnale ready viene posto a '1' fino a quando il segnale nw è attivo.