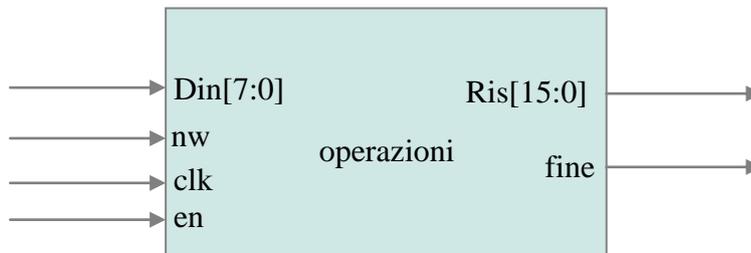


Laboratorio di Calcolatori  
Prova VHDL  
19/06/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è ha il compito di realizzare una delle seguenti operazioni:

- ADD : legge 2 valori da Din a 8 bit (D0 e D1) e fa la somma a 8 bit  
 $Ris[7:0] = D0 + D1$   $Ris[15:8] = "00000000"$ ,  $OP = "000"$  .
- SUB : legge 2 valori da Din a 8 bit (D0 e D1) e fa differenza a 8 bit  
 $Ris[7:0] = D0 - D1$   $Ris[15:8] = "00000000"$ ,  $OP = "001"$  .
- MULT : legge 2 valori da Din a 16 bit (D0 e D1) e ne fa il prodotto a 16 bit  
 $R = D0 * D1$ .  $OP = "100"$  .
- OR : legge 2 valori da Din a 8 bit (D0 e D1) e ne fa l'OR  
 $OP = "010"$
- AND : legge 2 valori da Din a 8 bit (D0 e D1) e ne fa l'AND  
 $OP = "011"$
- 

Il sistema è attivo quando l'ingresso  $en = '1'$ ;

Quando  $nw$  viene posto a '1', sul fronte di discesa del clock viene letta su  $din$  la nuova operazione da eseguire.

Nel ciclo di clock successivo alla lettura dell'operazione viene eseguita la decodifica e sul fronte di discesa del clock viene eseguita la lettura del primo operando tramite  $Din$ .

Dopo la decodifica, prima viene letto il secondo operando tramite  $Din$ , e poi ha inizio l'esecuzione dell'operazione.

Si assuma che nel caso di MULT, ADD e SUB l'operazione viene eseguita in 2 ciclo di clock, negli altri casi in un solo ciclo di clock.

Al termine dell'operazione l'uscita  $fine$  viene posta a '1' per un ciclo di clock.