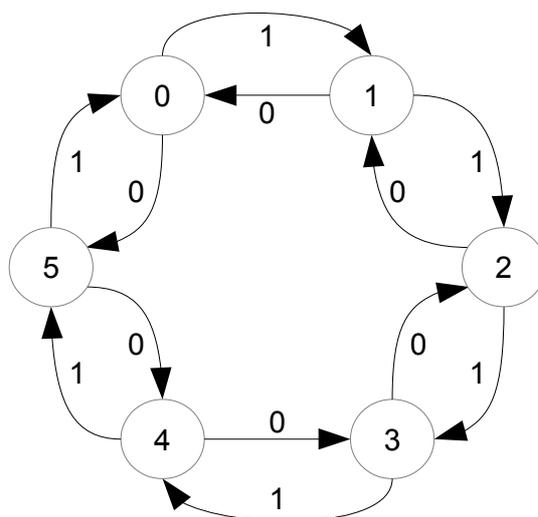


## Esercizio

Progettare seguendo lo schema formale di sintesi, un contatore sincrono che conti in maniera crescente da 0 a 5 se l'ingresso  $k$  vale 1 e in maniera decrescente se  $k$  vale 0. I valori del conteggio sono dati dalle uscite dei Flip-Flop (di tipo D).

### 1. Diagramma degli stati



### 2. Tabella degli stati

Stato	Ingresso $k$	
	0	1
0	5	1
1	0	2
2	1	3
3	2	4
4	3	5
5	4	0

### 3. Minimizzazione degli stati

Non possiamo ridurre il numero degli stati: ad ogni stato corrisponde un valore assunto dal contatore.

### 4. Codifica degli stati

Visto che i valori del conteggio devono essere dati dalle uscite dei Flip-Flop usiamo la codifica:

0 => 000, 1 => 001, 2 => 010, 3 => 011, 4 => 100, 5 => 101

### 5. Tabella delle transizioni

Q2 Q1 Q0	k	
	0	1
0 0 0	1 0 1	0 0 1
0 0 1	0 0 0	0 1 0
0 1 0	0 0 1	0 1 1
0 1 1	0 1 0	1 0 0
1 0 0	0 1 1	1 0 1
1 0 1	1 0 0	0 0 0

### 6. Scelta degli elementi di memoria

Il testo prevede la sintesi tramite Flip-Flop di tipo D.

### 7. Tabella delle eccitazioni FF tipo D

Considerato che per i Flip-Flop di tipo D vale l'uguaglianza  $Q^* = D$ . La tabella delle eccitazioni richiesta è:

Q2 Q1 Q0	k					
	0			1		
	D2	D1	D0	D2	D1	D0
0 0 0	1	0	1	0	0	1
0 0 1	0	0	0	0	1	0
0 1 0	0	0	1	0	1	1
0 1 1	0	1	0	1	0	0
1 0 0	0	1	1	1	0	1
1 0 1	1	0	0	0	0	0

### 8. Sintesi della rete combinatoria per lo stato prossimo

Rappresentiamo la tabella delle eccitazioni in forma di mappa di Karnaugh per ognuno dei tre FF D:

$D_2$ :

$kQ_2$	$Q_1Q_0$			
	00	01	11	10
00	1	0	0	0
01	0	1	X	X
11	1	0	X	X
10	0	0	1	0

$D_1$ :

$kQ_2$	$Q_1Q_0$			
	00	01	11	10
00	0	0	1	0
01	1	0	X	X
11	0	0	X	X
10	0	1	0	1

$D_0$ :

$kQ_2$	$Q_1Q_0$			
	00	01	11	10
00	1	0	0	1
01	1	0	X	X
11	1	0	X	X
10	1	0	0	1

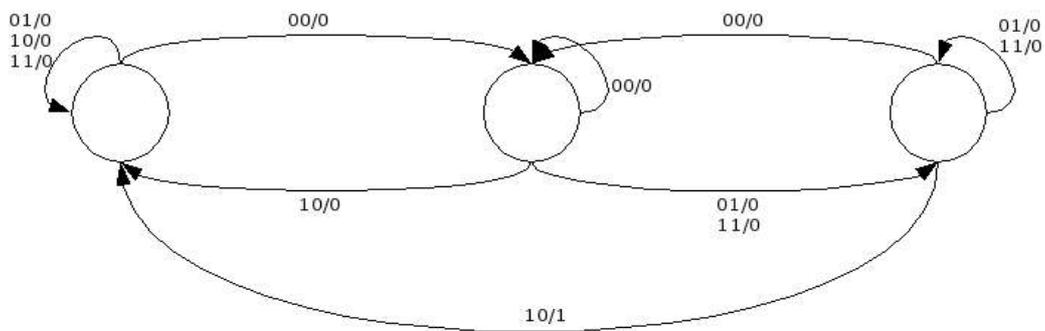
$$D_2 = \bar{k}\bar{Q}_2\bar{Q}_1\bar{Q}_0 + \bar{k}Q_2Q_0 + kQ_2\bar{Q}_0 + kQ_1Q_0 \quad D_1 = \bar{k}Q_1Q_0 + \bar{k}Q_2\bar{Q}_0 + kQ_1\bar{Q}_0 + k\bar{Q}_2\bar{Q}_1Q_0$$

$$D_0 = \bar{Q}_0$$

# Esercizio

Si sintetizzi una rete sequenziale sincrona (tipo Mealy) dotata di due ingressi a e b e un'uscita z avente la seguente specifica funzionale: Ad ogni ciclo di clock, viene letto un nuovo simbolo (a,b) della sequenza di ingresso. La rete riconosce sequenze di simboli composte da un simbolo iniziale (0,0), uno o più simboli del tipo (-,1) e un simbolo finale (1,0) ed in questo caso porta l'uscita z al valore 1. In tutti gli altri casi l'uscita z vale 0.

1. Tracciare il diagramma a stati



2. Minimizzare il diagramma degli stati

La tabella degli stati è:

Stato	Ingresso ab			
	00	01	11	10
A	B/0	A/0	A/0	A/0
B	B/0	C/0	C/0	A/0
C	B/0	C/0	C/0	A/1

3. Sintetizzare le funzioni di stato prossimo e di uscita utilizzando flip-flop di tipo JK.

Prima di tutto occorre assegnare una codifica agli stati. Considerando A=00, B=01 e C=11, la tabella delle transizioni è

	Ingresso ab			
Q1Q0	00	01	11	10
00	01/0	00/0	00/0	00/0
01	01/0	11/0	11/0	00/0
11	01/0	11/0	11/0	00/1

Ricordando la tabella delle eccitazioni di un FF JK, si ottiene la tabella delle eccitazioni del circuito:

	Ingresso ab			
Q1Q0	00	01	11	10
00	0-,1-	0-,0-	0-,0-	0-,0-
01	0-,-0	1-,-0	1-,-0	0-,-1
11	-1,-0	-0,-0	-0,-0	-1,-1

Considerando lo stato fittizio 10 e sfruttando le condizioni di indifferenza si ricava:

$$J1(a,b,Q1,Q0) = bQ0$$

$$K1(a,b,Q1,Q0) = \underline{b}Q1$$

$$J0(a,b,Q1,Q0) = \underline{ab}$$

$$K0(a,b,Q1,Q0) = ab\underline{Q0}$$

$$z = \underline{ab}Q1$$