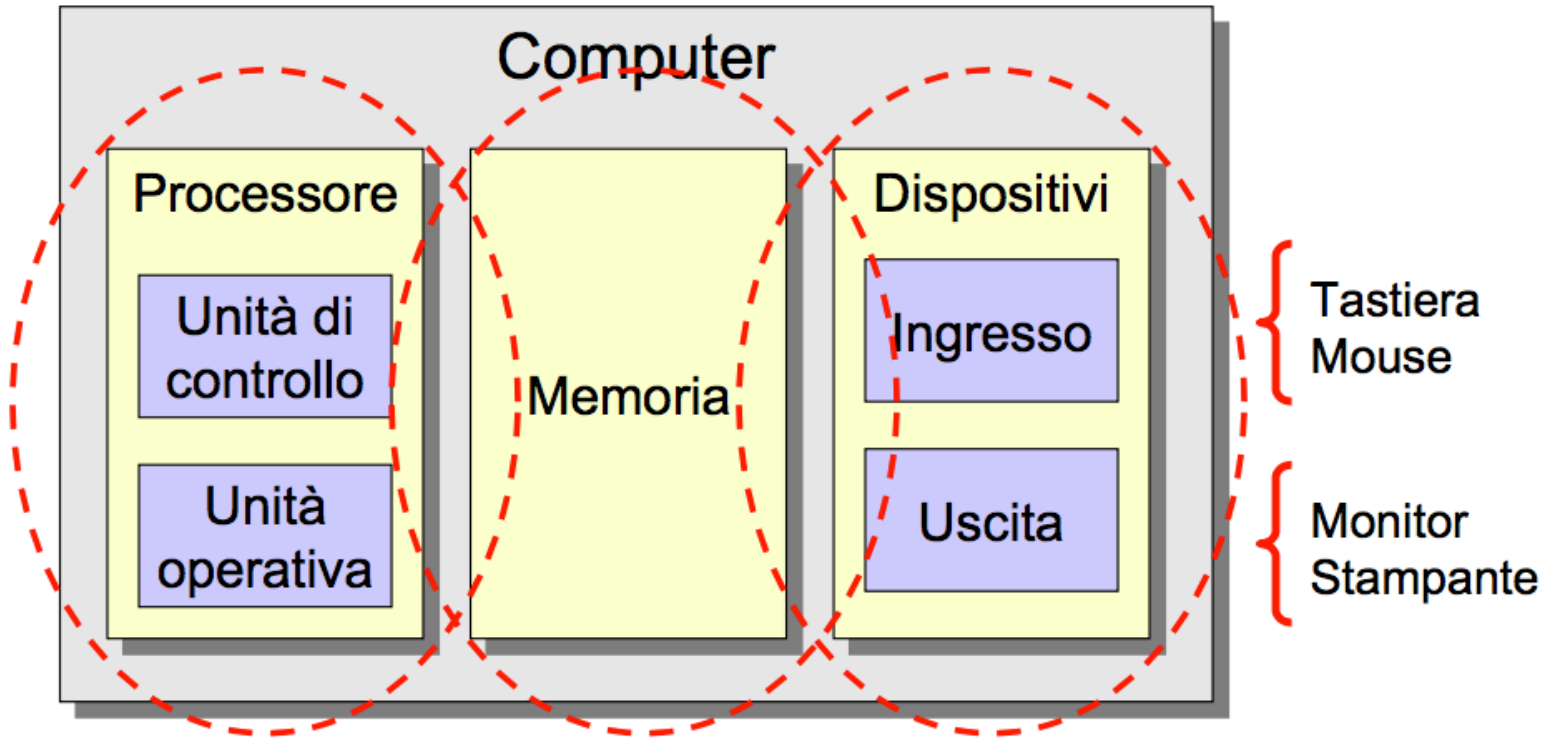
Architettura dei Calcolatori Elettronici

Caratteristiche di un calcolatore elettronico

- Capacità di eseguire sequenze di istruzioni memorizzate
- **Calcolatore** = Unità di Elaborazione + Unità di Controllo
  - 1. Preleva le istruzioni dalla memoria
  - 2. Interpreta i codici di istruzione
  - 3. Effettua le azioni che questi prevedono
- **Programma** = Insieme organizzato di istruzioni

Componenti di un Computer

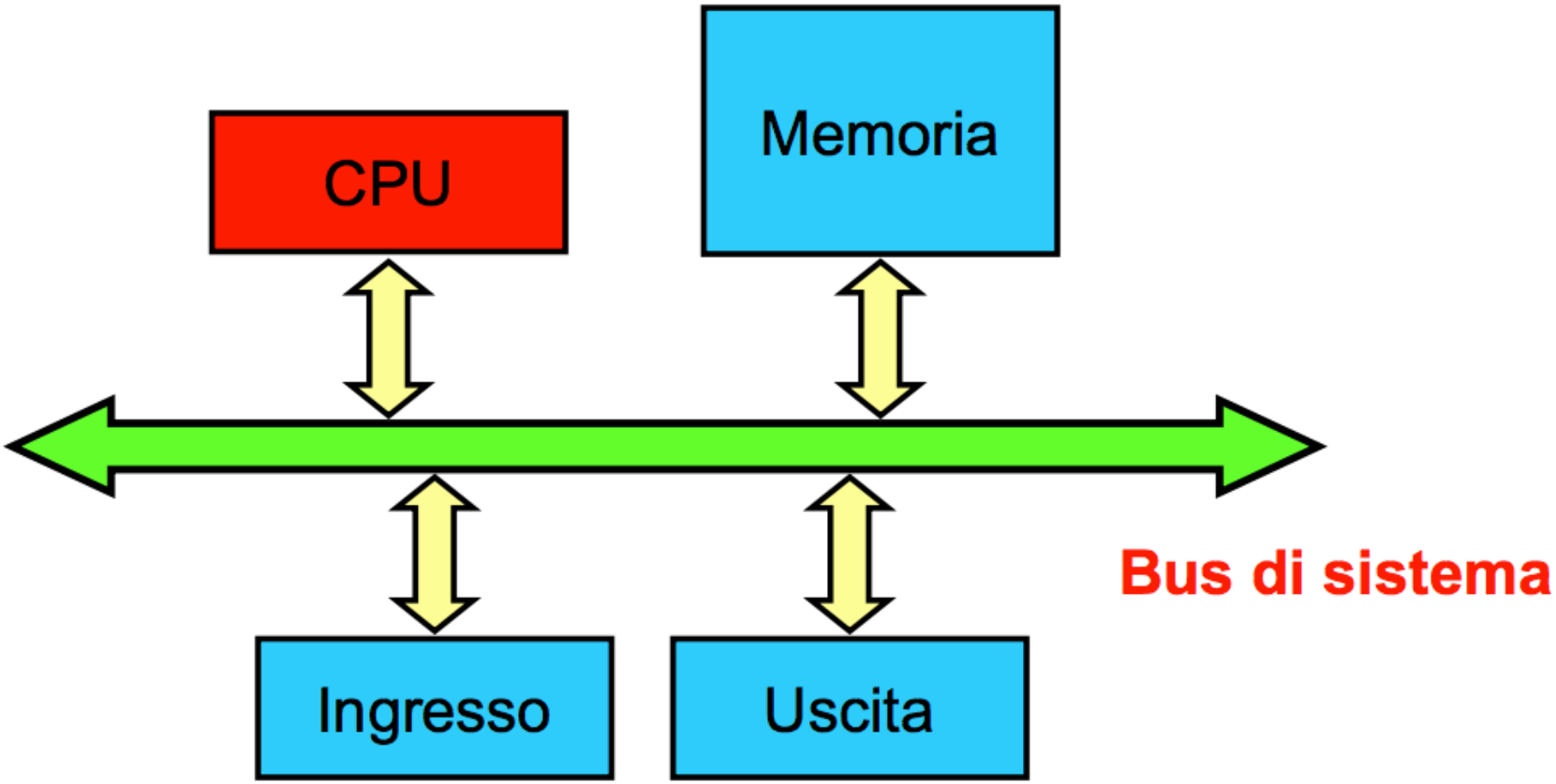


Unità di elaborazione e controllo o Central Processing Unit (CPU)

Contiene le istruzioni da eseguire e i dati su cui operare

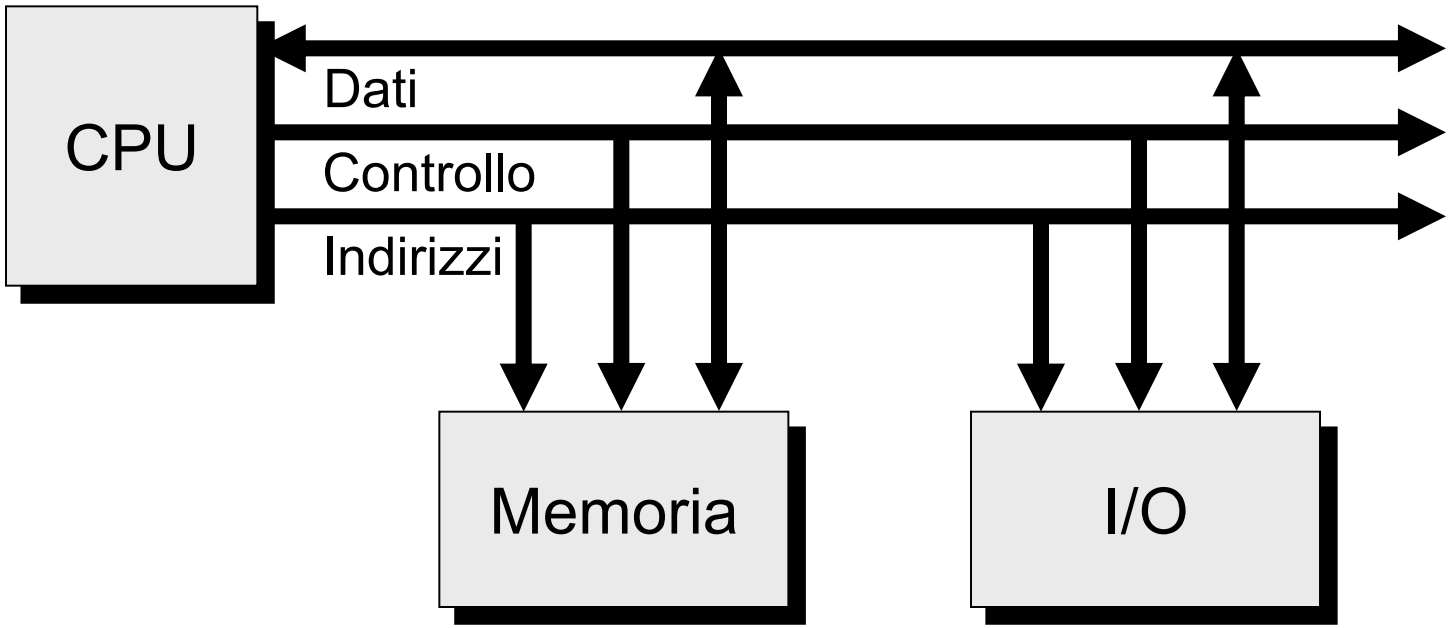
Insieme di dispositivi che consentono la comunicazione con e da il mondo esterno

Organizzazione generale

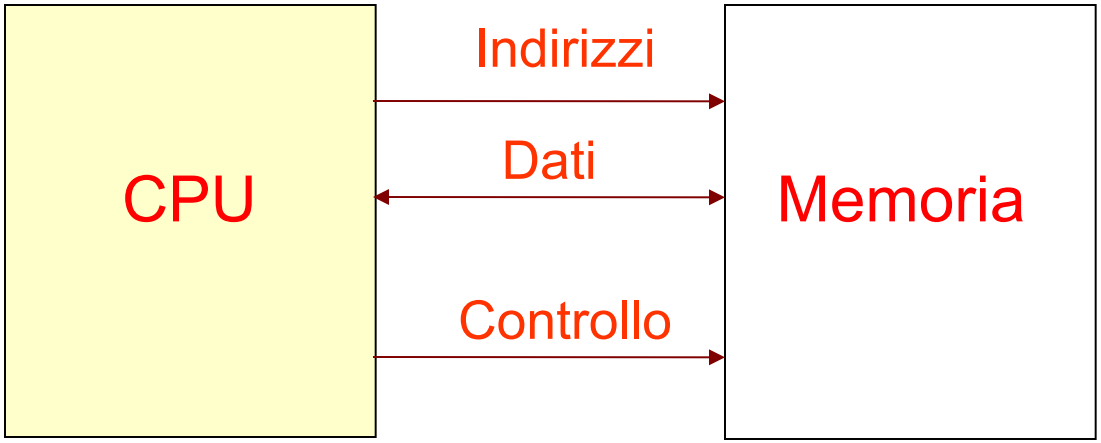


Schema di riferimento

- Per Il momento lo schema di riferimento sarà quello di figura
- Corrisponde allo schema dei PC anni 80
- Tuttora in largo uso nei sistemi di controllo



Architettura di Von Neuman

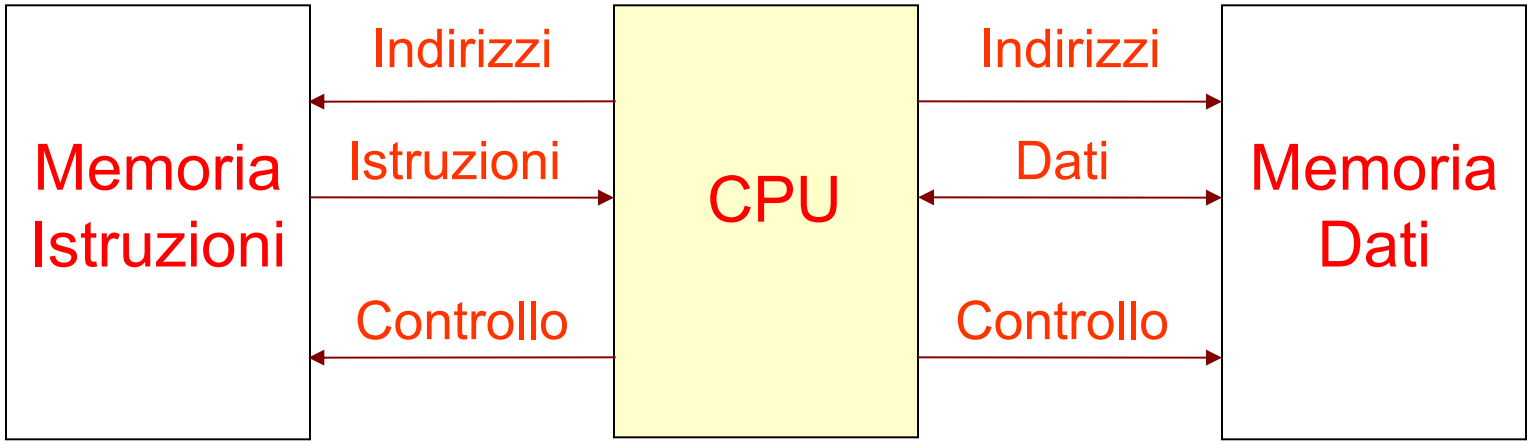


- Memoria indifferenziata per dati o istruzioni.
- Solo l'interpretazione da parte di CPU stabilisce se una data configurazione di bit è da riguardarsi come un dato o come un'istruzione

Collo di Bottiglia Von Neumann

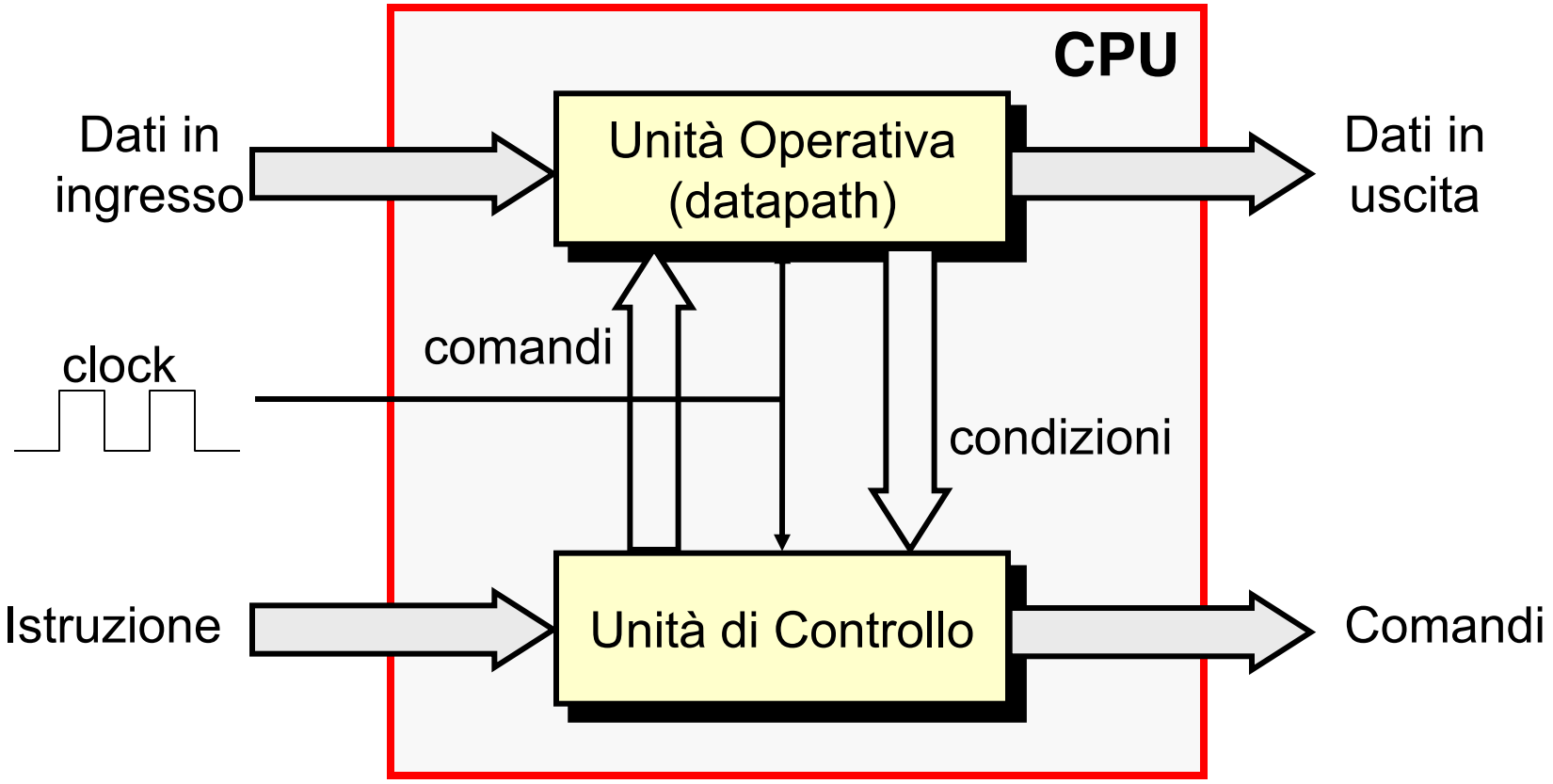
- L'organizzazione di Von Neumann è quella più popolare
- Consente al processore di manipolare i programmi in modo più semplice
- **Svantaggi**
  - La limitata larghezza di banda della memoria ha un impatto negativo sulla velocità di esecuzione dell'applicazione
  - Questo fenomeno è noto come "Von Neumann bottleneck"

Architettura Harward



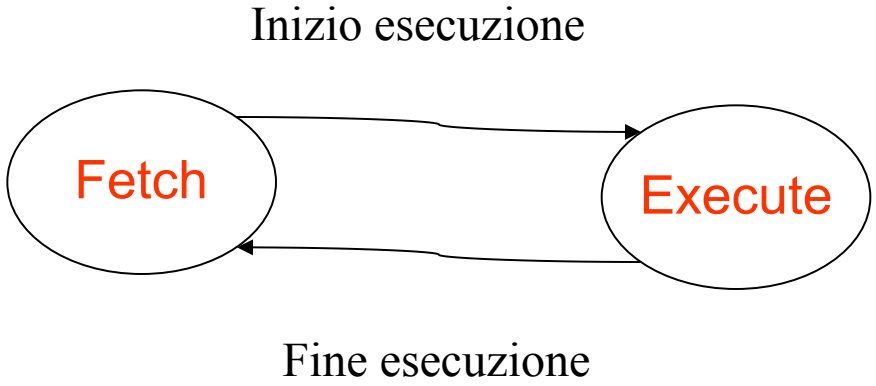
- Le istruzioni e i dati sono memorizzati in memorie distinte
- E' principalmente utilizzata nei processori ad alte prestazioni e nelle architetture dedicate per applicazioni di elaborazione digitale dei segnali (DSP)

Struttura della CPU



Fetch-Esecuzione

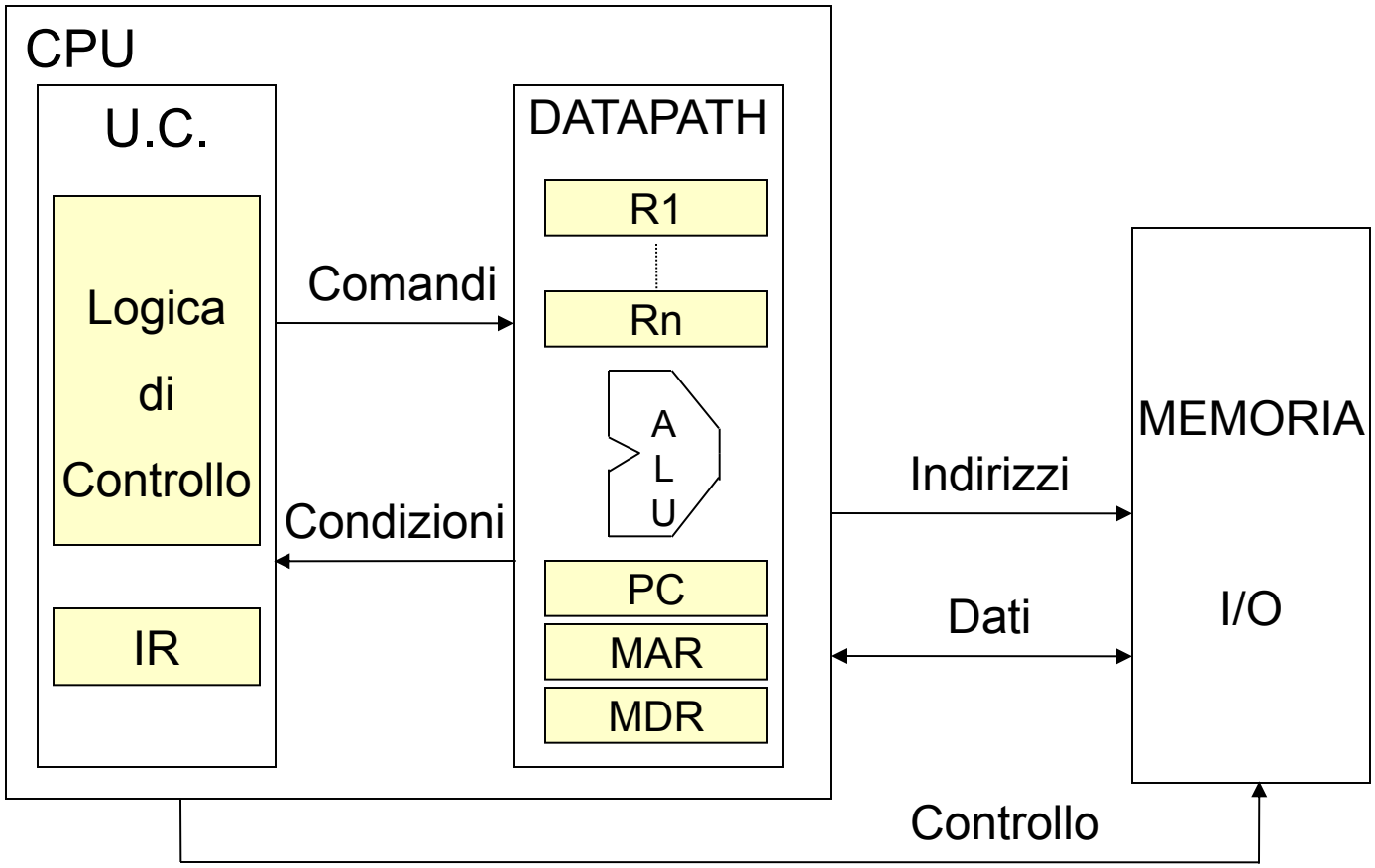
- **Fetch e decodifica:**
  - Prelievo e decodifica dell'istruzione
  - Fase comune a tutte le istruzioni
- **Esecuzione:**
  - Fase in cui vengono eseguite le azioni previste dal codice di operazione
  - Fase diversa da istruzione a istruzione



Il Programma

- Programma = Sequenza di istruzioni
- Le istruzioni sono in memoria a indirizzi contigui
- Occorre un registro per memorizzare l'indirizzo della prossima istruzione da eseguire
  - Usualmente denominato Program Counter (PC)
- A termine dell'esecuzione di un'istruzione, PC deve puntare alla prossima istruzione
  - Le istruzioni sono a lunghezza fissa (stesso # di bytes)
    - PC è incrementato di una quantità pari a tale numero
  - Le istruzioni hanno lunghezza variabile
    - PC deve essere incrementato di volta in volta della dimensione in byte dell'istruzione appena eseguita
  - Le istruzioni di salto hanno l'effetto di aggiornare il PC con l'indirizzo di destinazione del salto

Elementi fondamentali della CPU



Registri di CPU

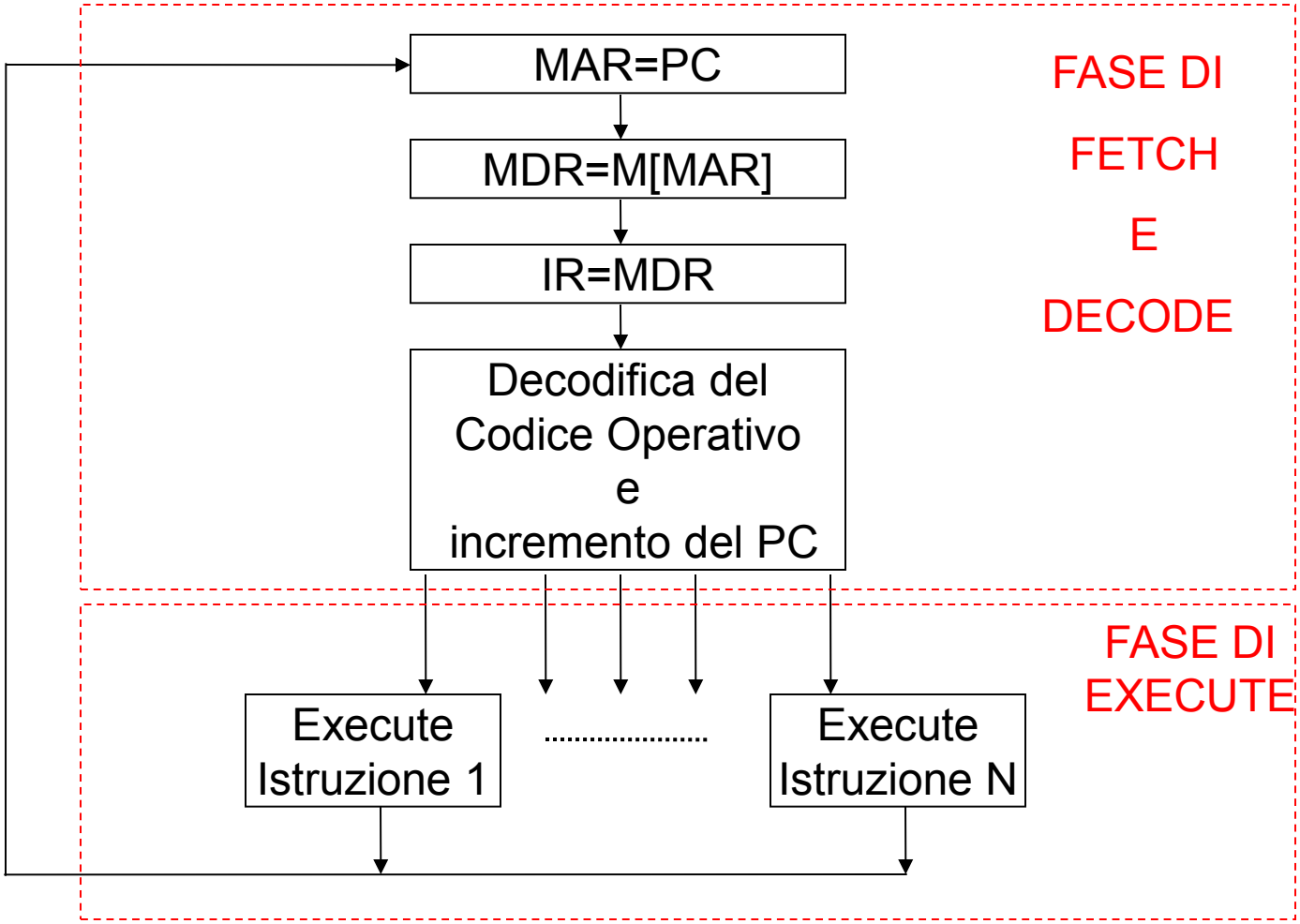
- **IR**: Usato per contenere l'istruzione in corso di esecuzione
  - Caricato in fase di fetch
  - Rappresenta l'ingresso che determina le azioni svolte durante la fase di esecuzione

- **PC**: Tiene traccia dell'esecuzione del programma
  - Contiene l'indirizzo di memoria in cui è memorizzata la prossima istruzione da eseguire

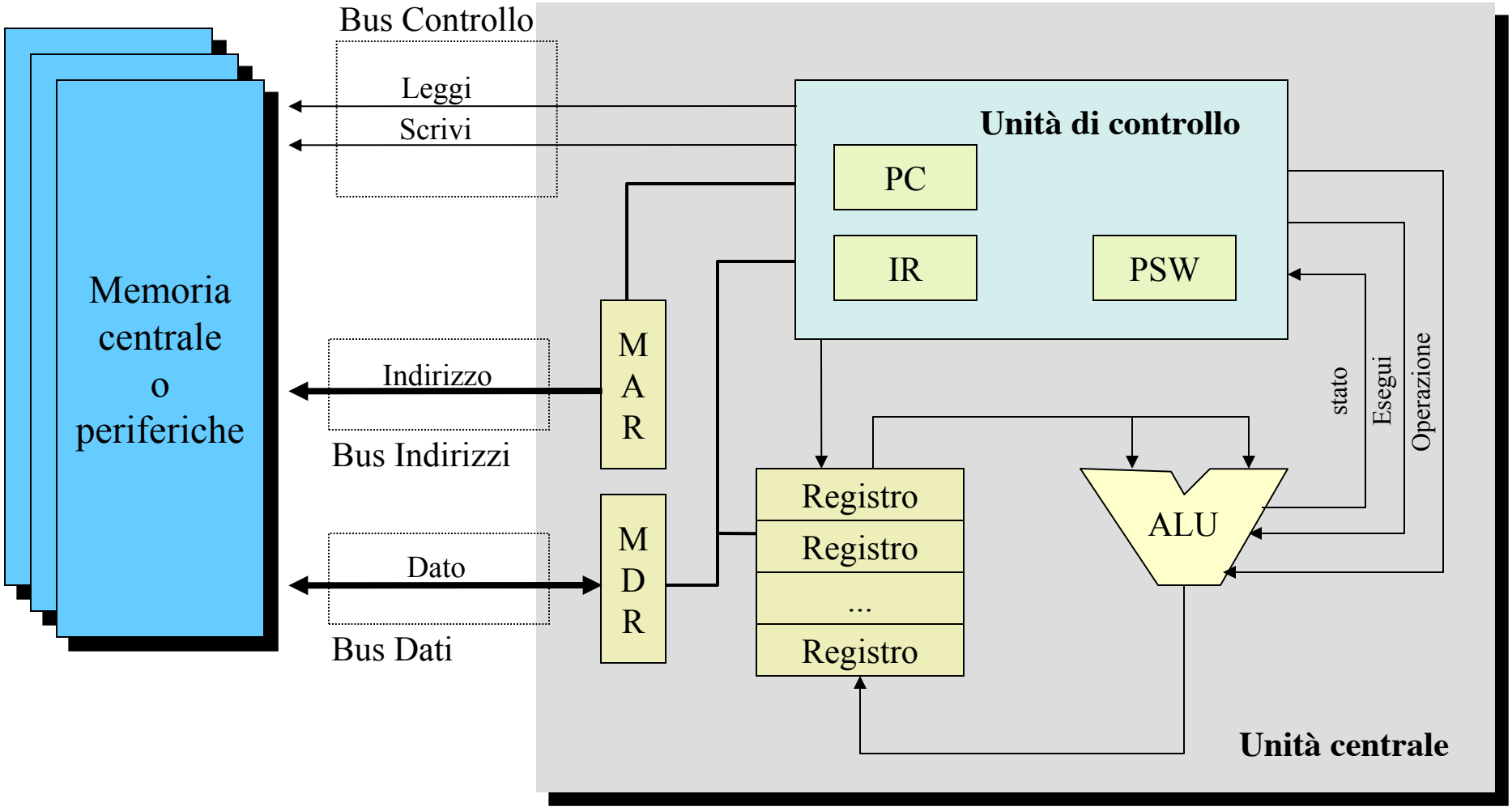
Registri di CPU

- **MAR**: contiene l'indirizzo della locazione di memoria da leggere o scrivere
  - La dimensione di MAR determina l'ampiezza dello spazio di memoria fisica
  - Dalla fine degli anni '80 vengono prodotti microprocessori con bus indirizzi a 32 bit
- **MDR**: Registro attraverso il quale viene scambiata l'informazione tra la memoria e la CPU
  - Tradizionalmente la dimensione di MDR dà la misura del grado di parallelismo della macchina (8, 16, 32, 64 bit)
- **R0, R1,...Rn**: Registri di uso generale

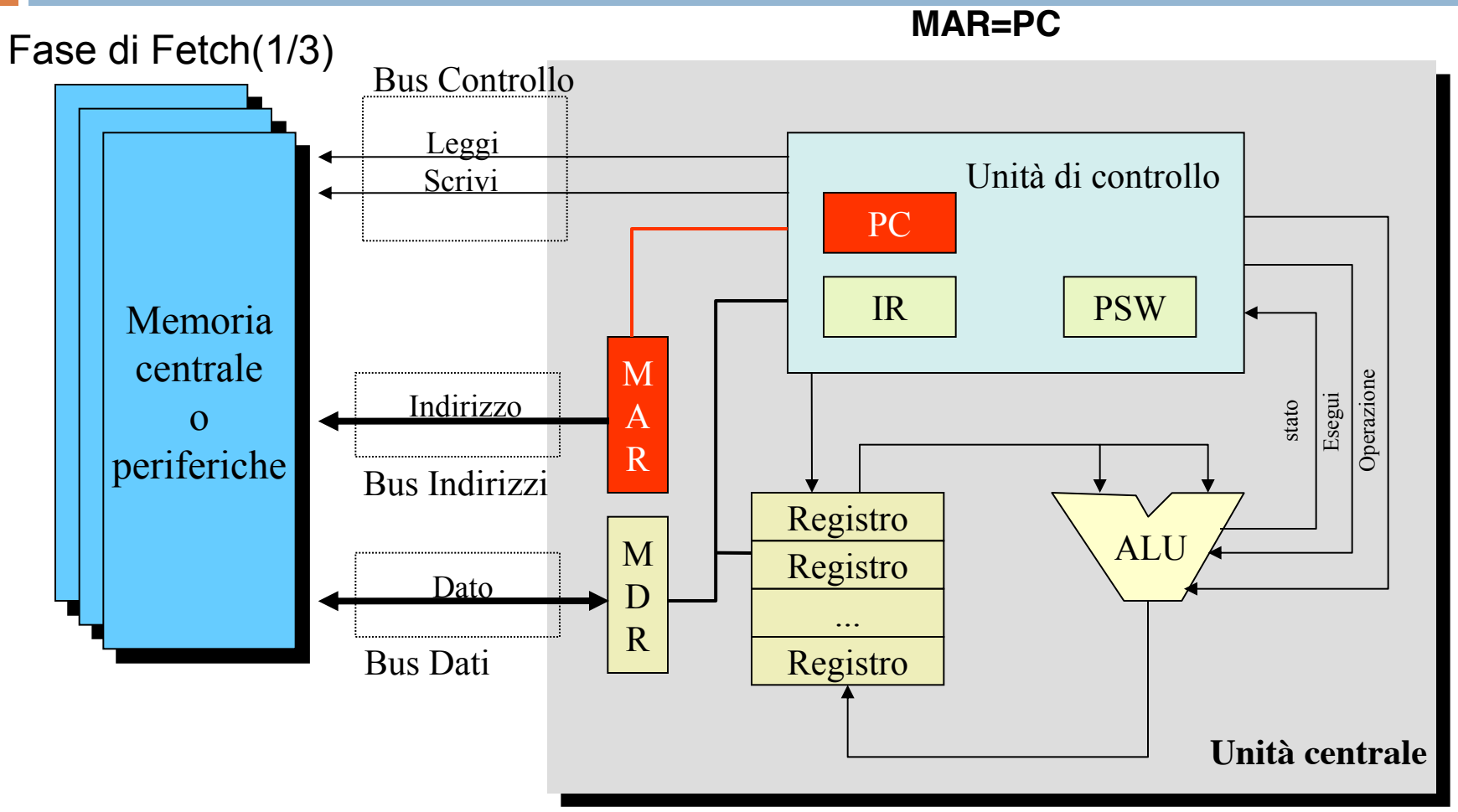
Diagrammi a Stati della CPU durante l'esecuzione delle istruzioni



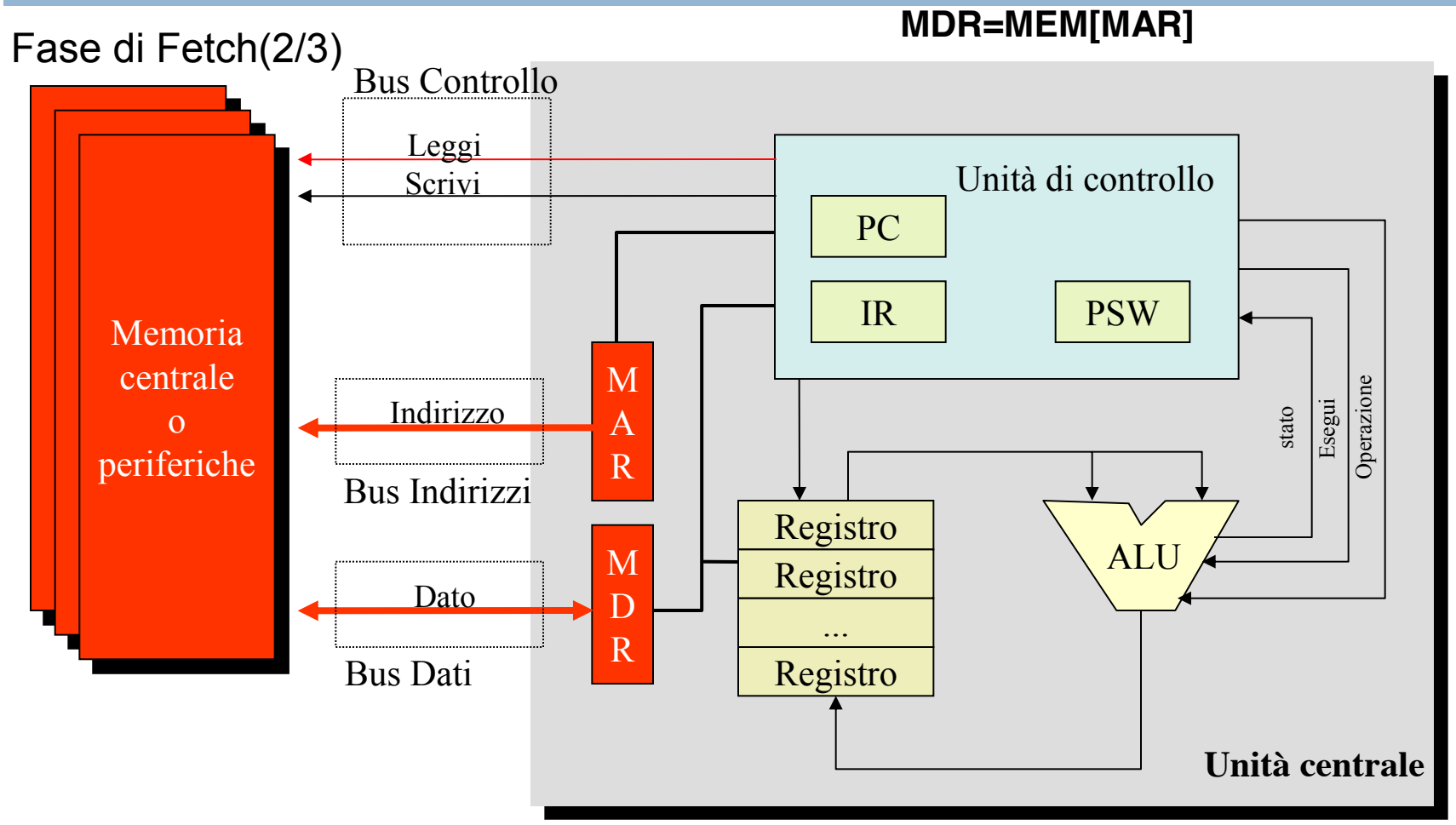
Struttura Semplificata di una CPU



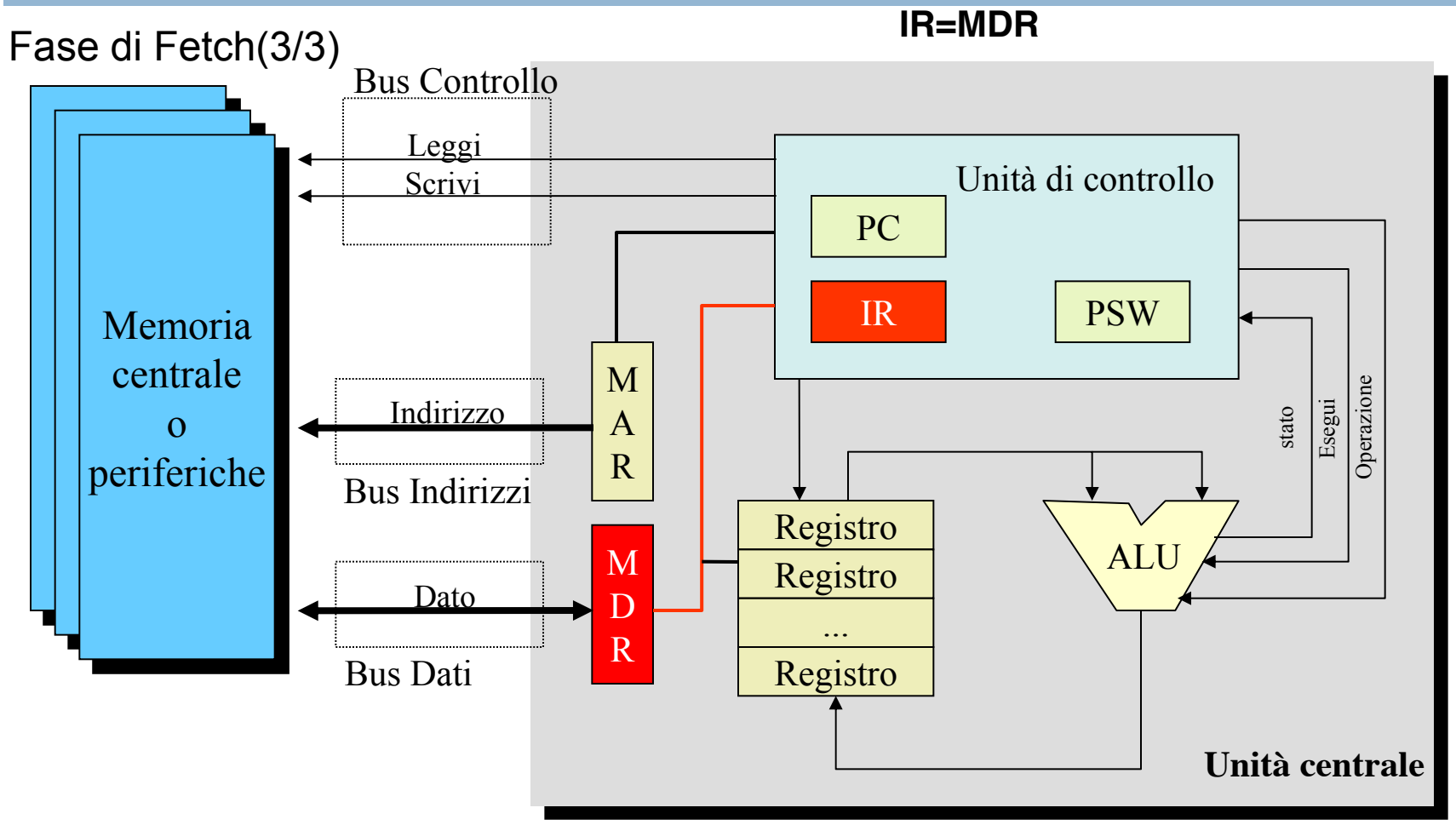
Esempio: Lettura dalla Memoria



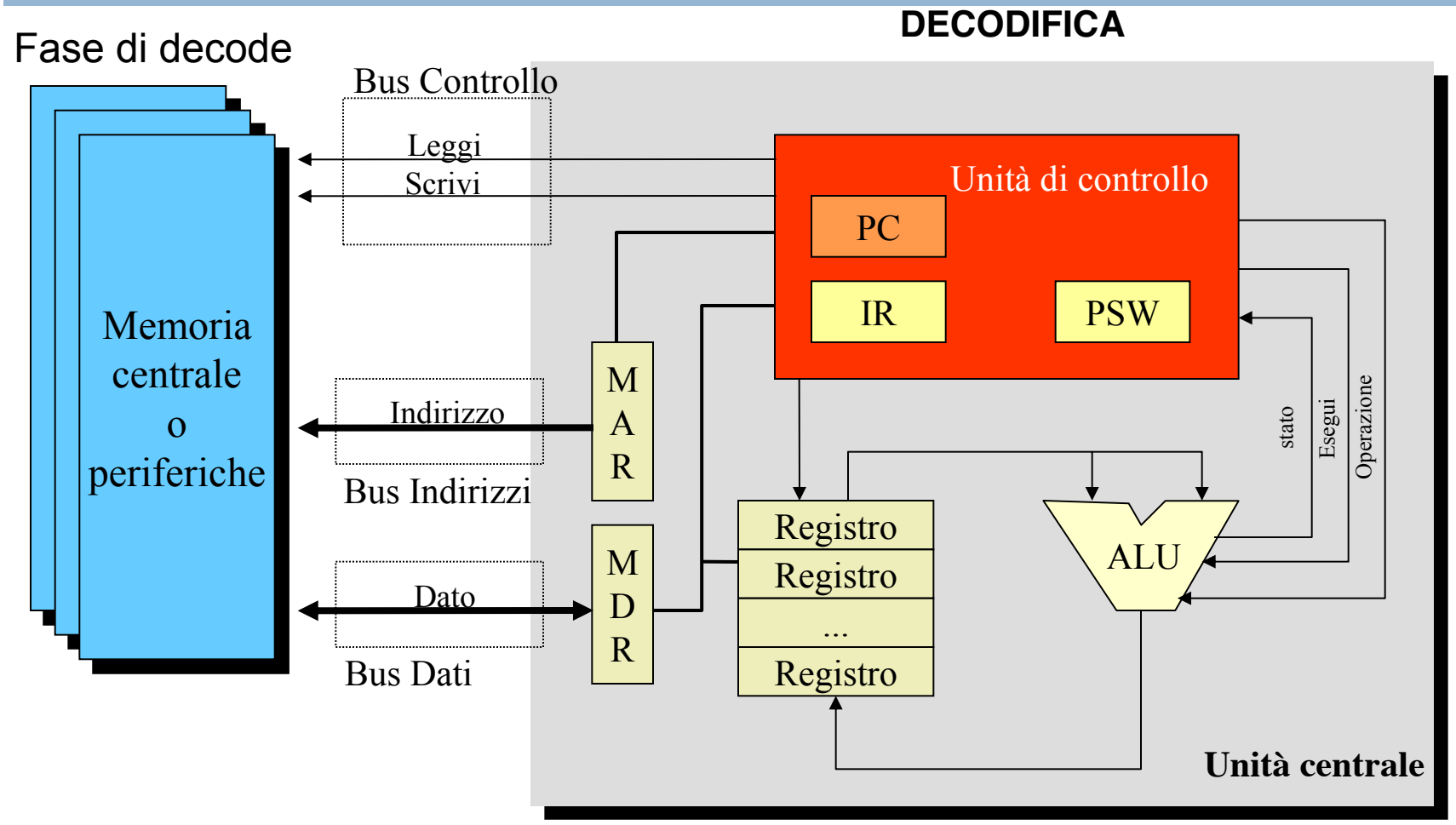
Esempio: Lettura dalla Memoria



Esempio: Lettura dalla Memoria

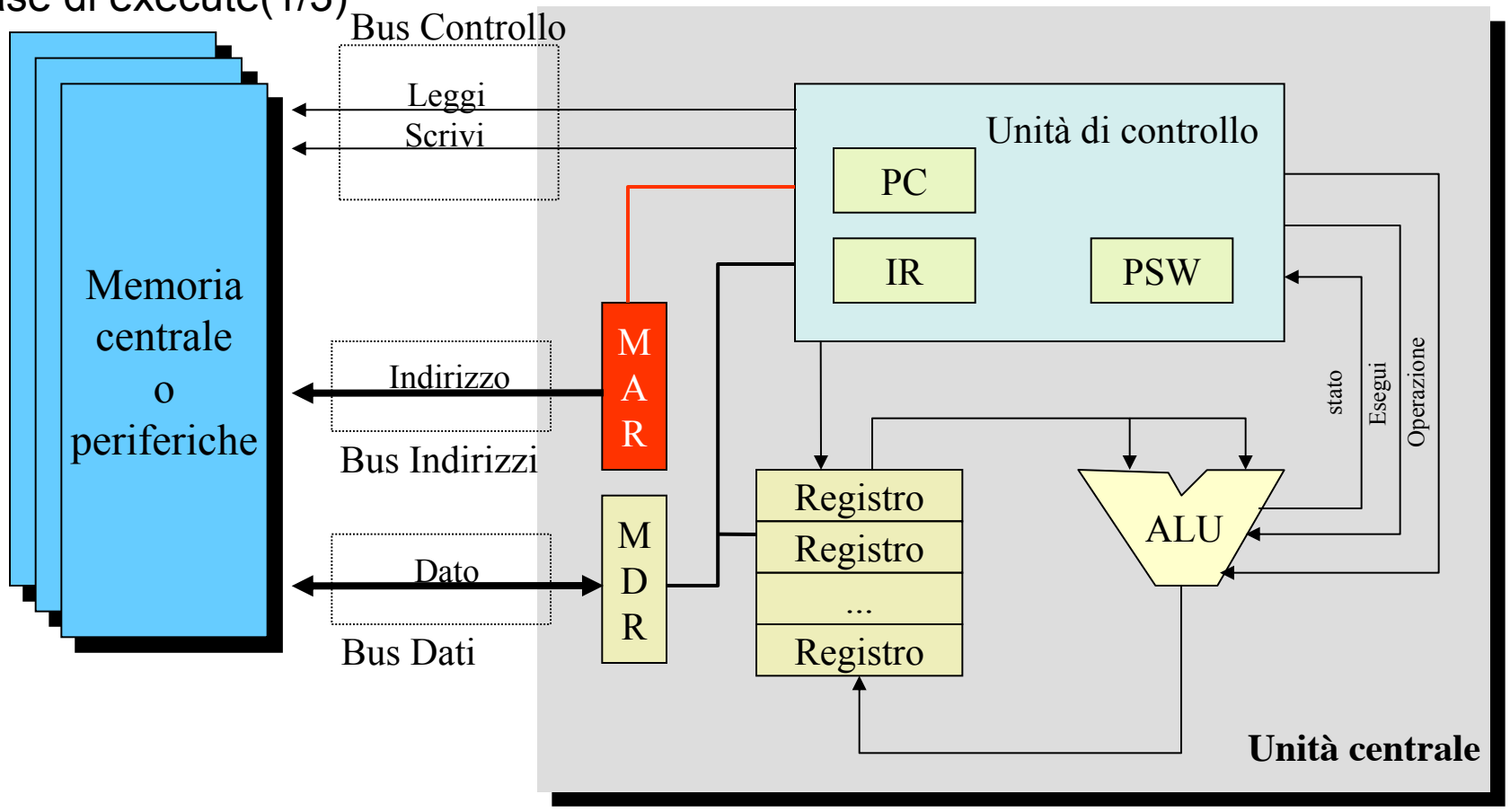


Esempio: Lettura dalla Memoria



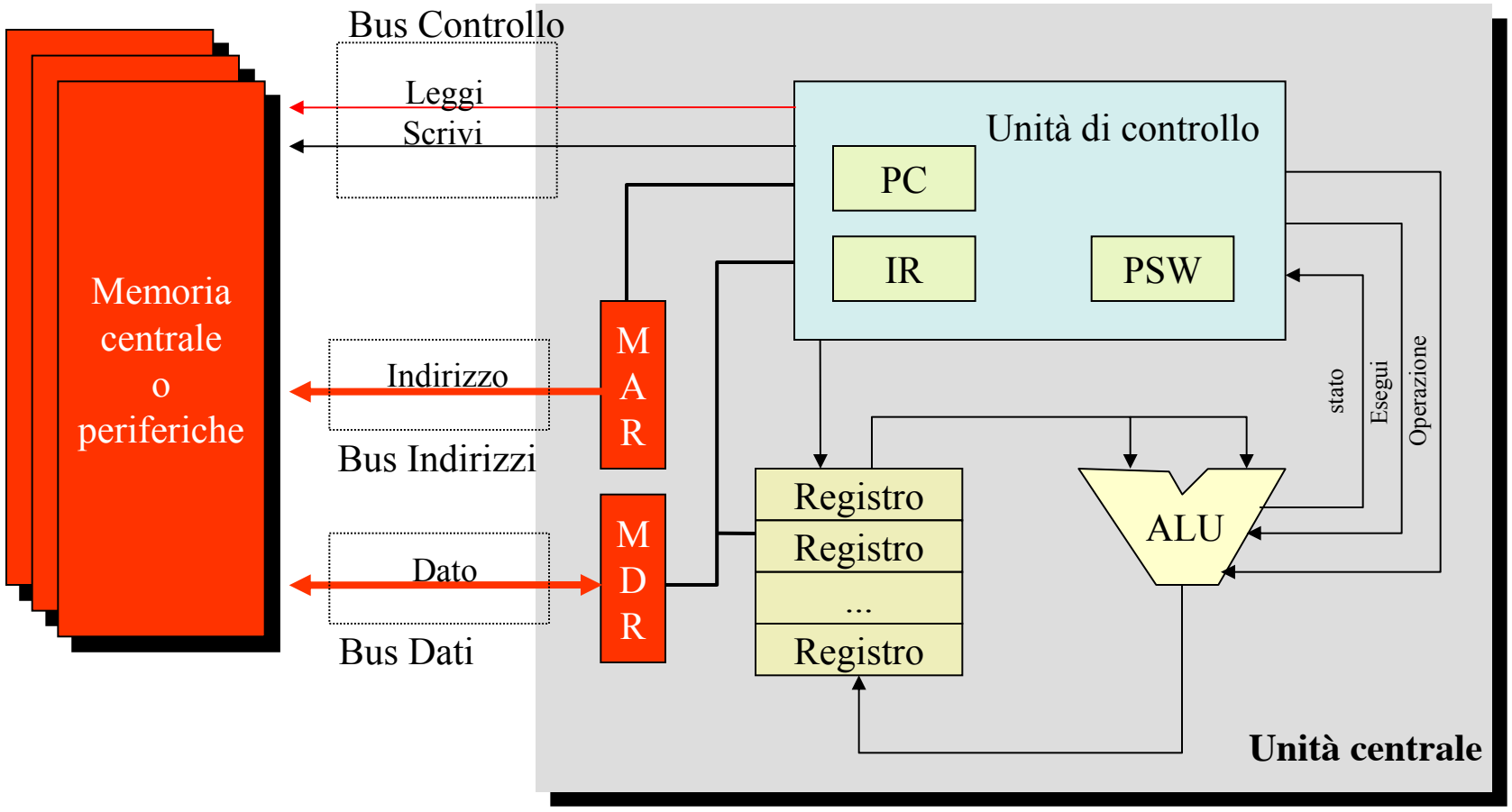
Esempio: Lettura dalla Memoria

Fase di execute(1/3)



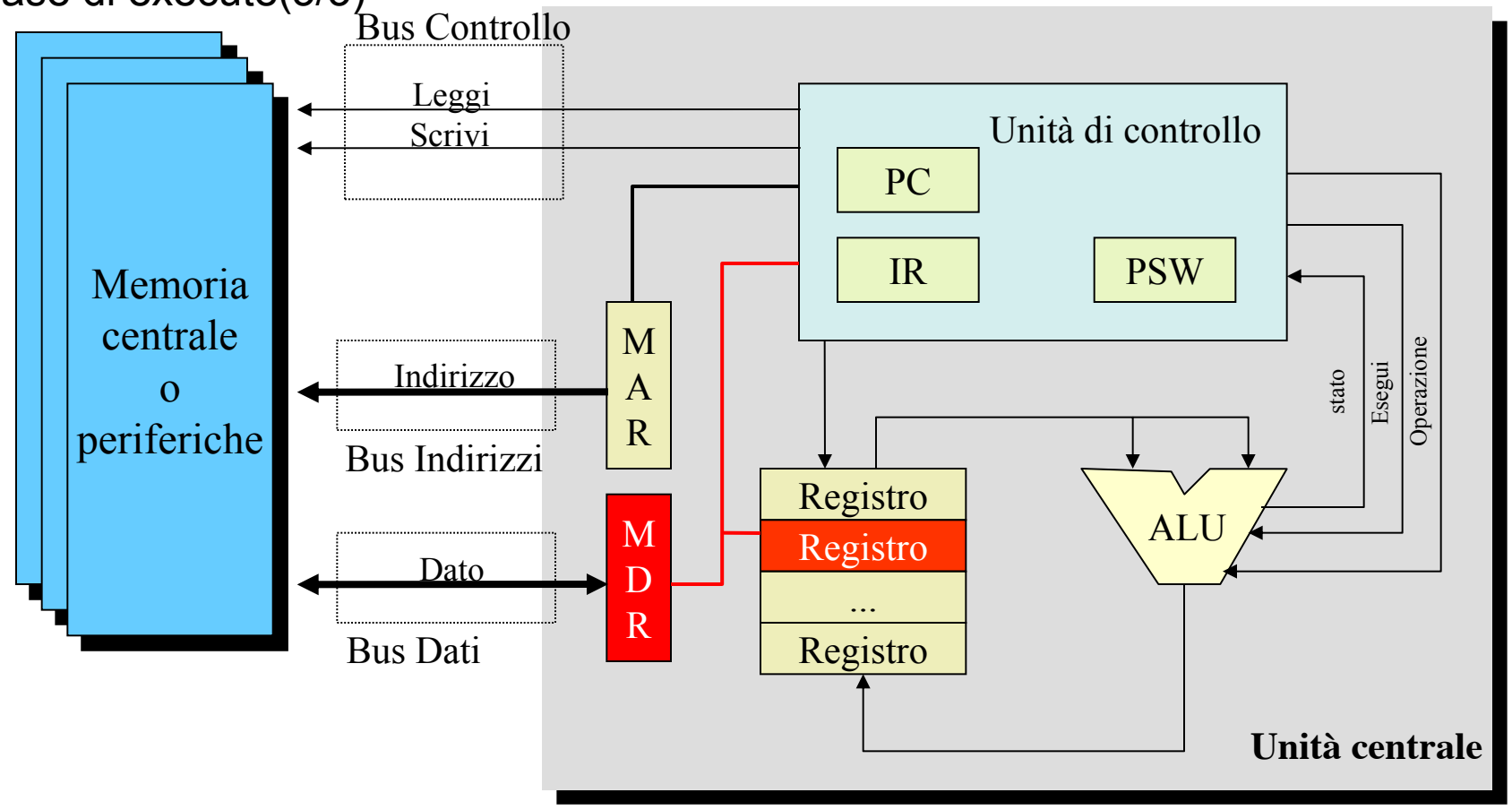
Esempio: Lettura dalla Memoria

Fase di execute(2/3)



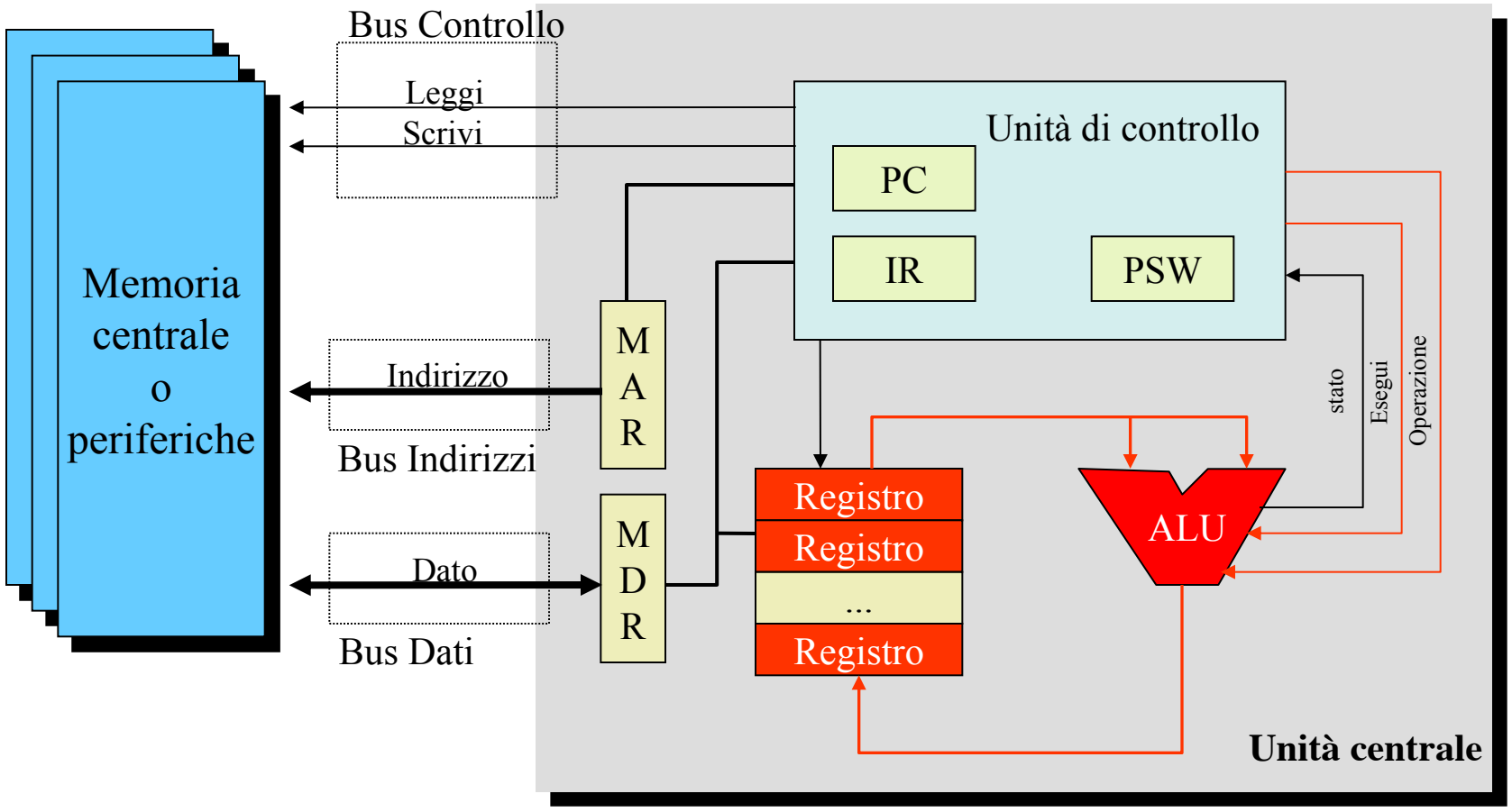
Esempio: Lettura dalla Memoria

Fase di execute(3/3)



Esempio: Somma tra 2 numeri

Fase di execute

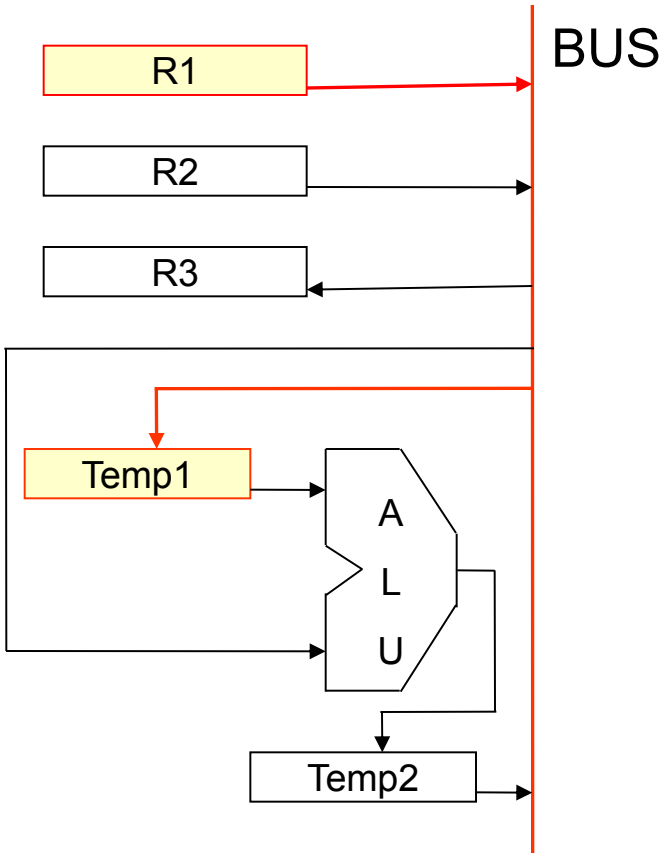


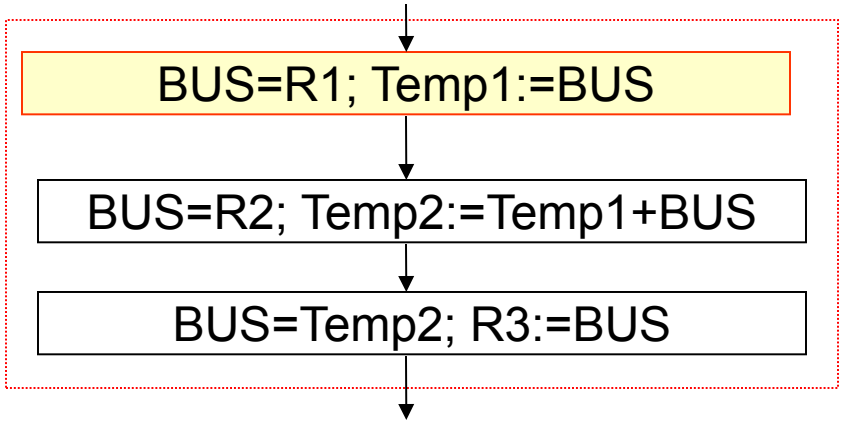
Implementazione della fase di esecuzione

- L'implementazione della fase di esecuzione dipende dalle risorse a disposizione e dal modo in cui sono organizzate

Fase di Execute (vers.1)

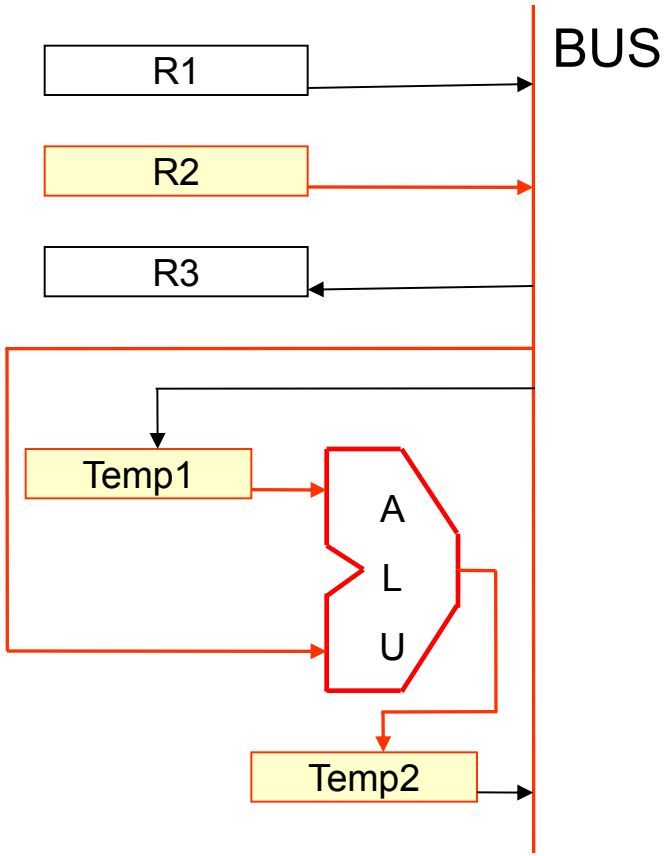
Add R3, R1, R2

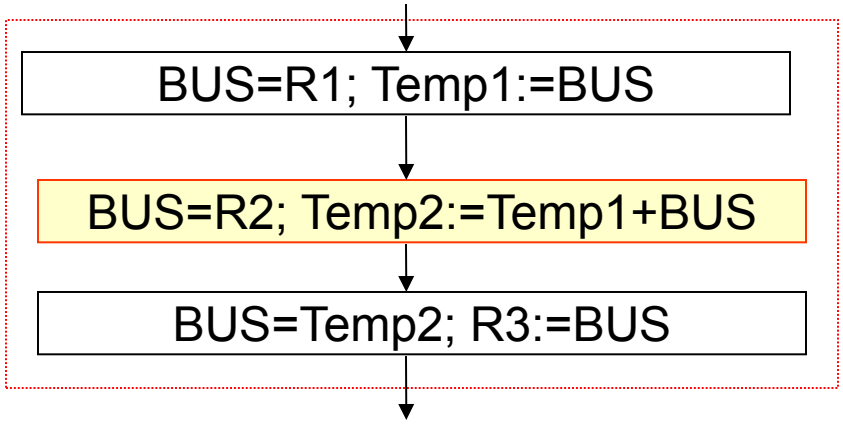




Fase di Execute (vers.1)

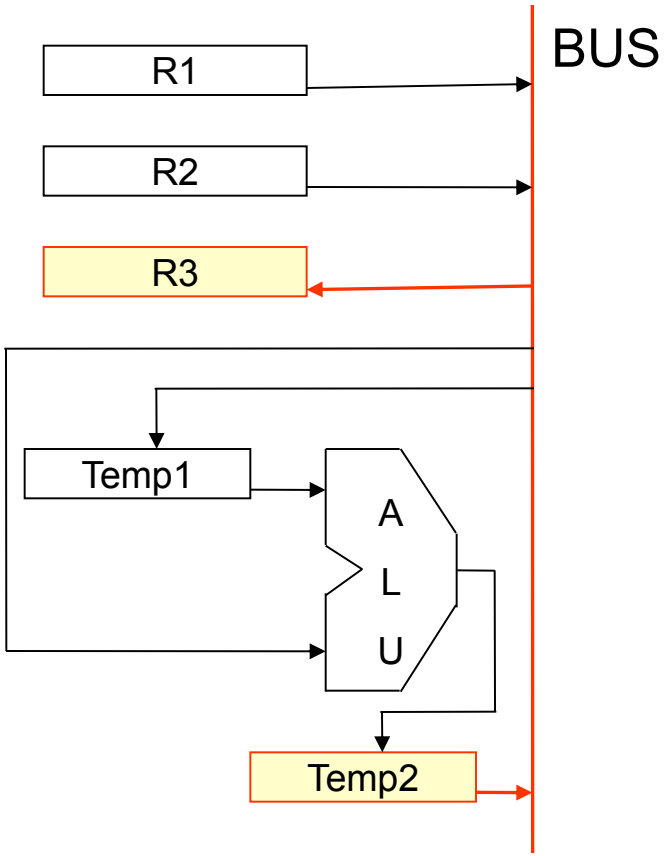
Add R3, R1, R2

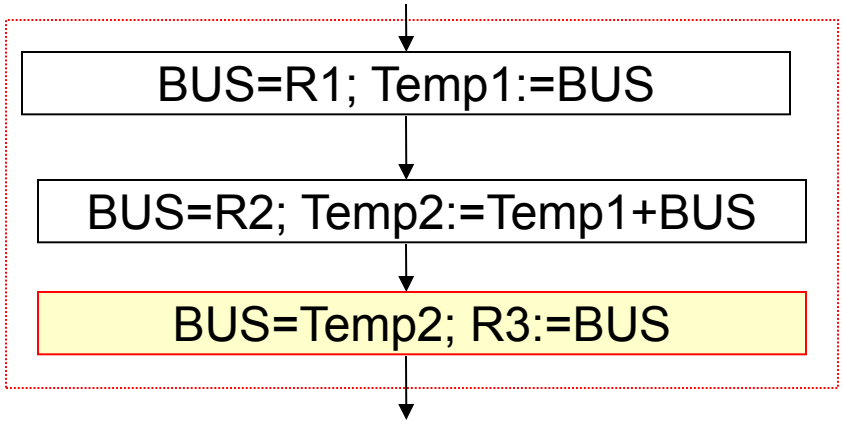




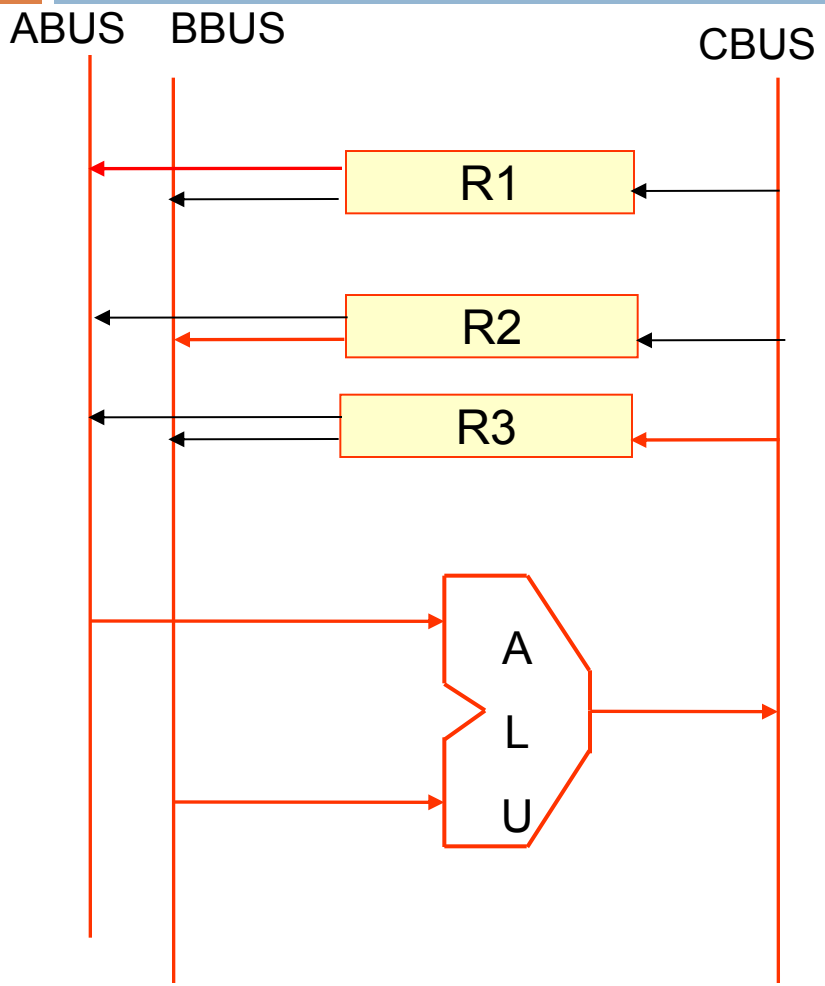
Fase di Execute (vers.1)

Add R3, R1, R2

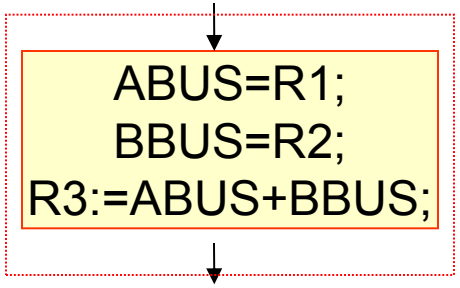




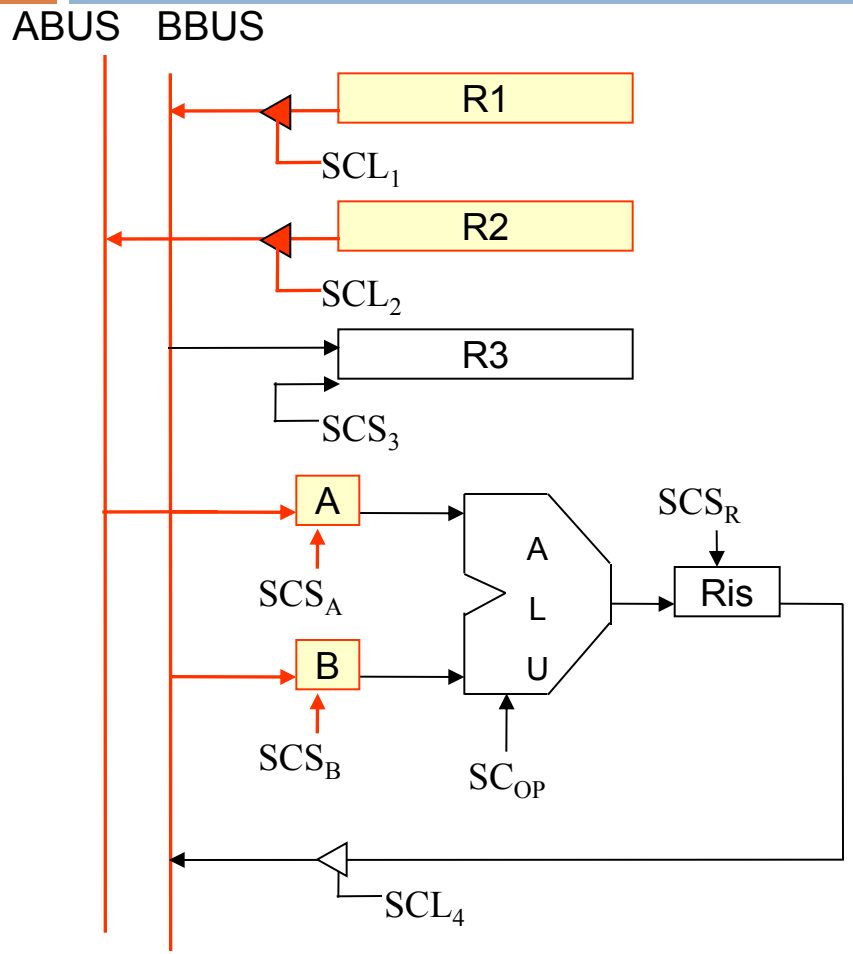
Fase di Execute vers. 2



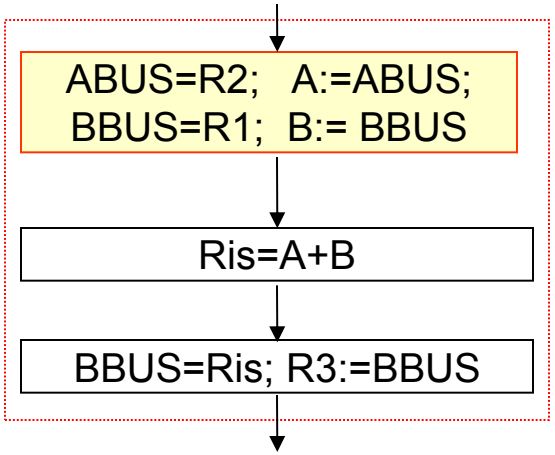
Add R3, R1, R2



Fase di Execute vers. 3

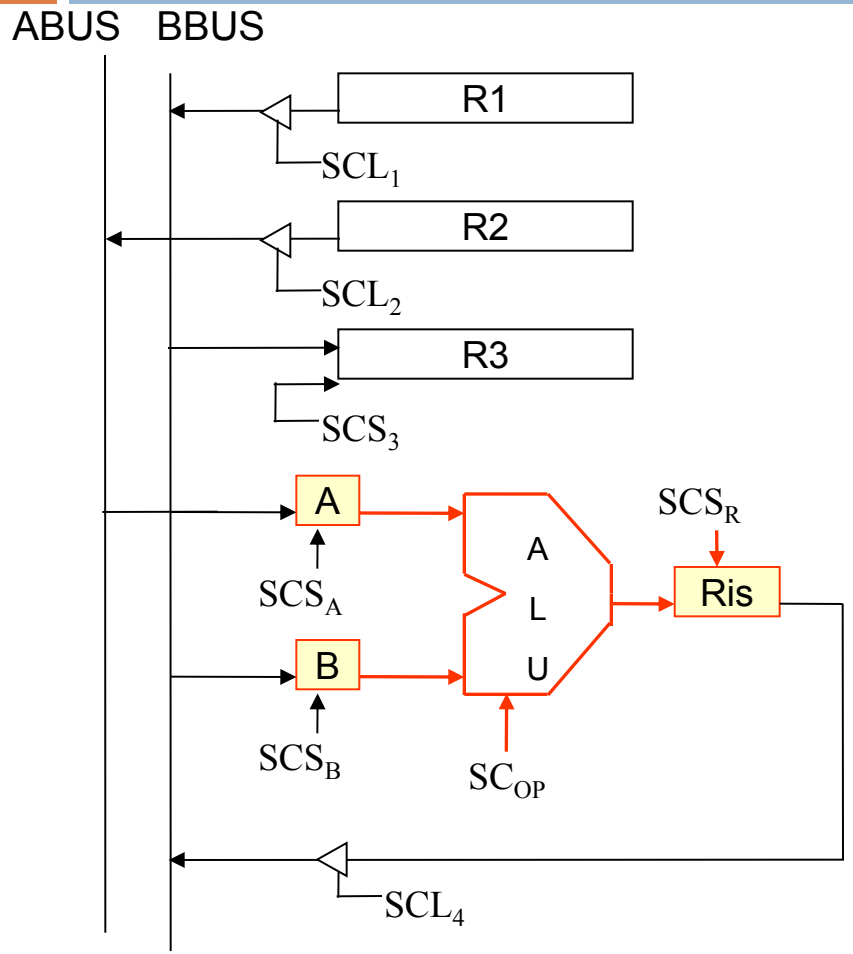


ADD R3,R1,R2

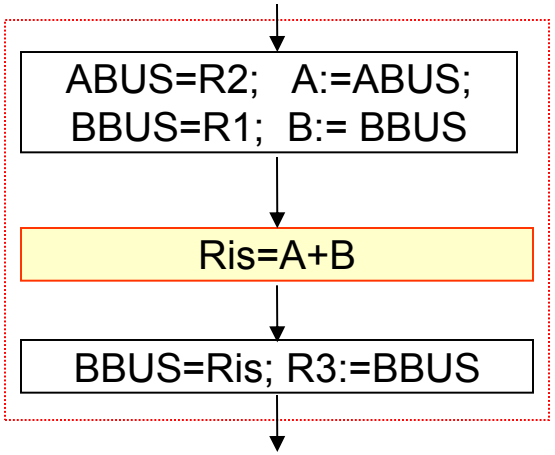


SCL_1=1 → BBUS=R1
SCL_2=1 → ABUS=R2
SCS_A=1 → A:=ABUS
SCS_B=1 → B:=BBUS

Fase di Execute vers. 3



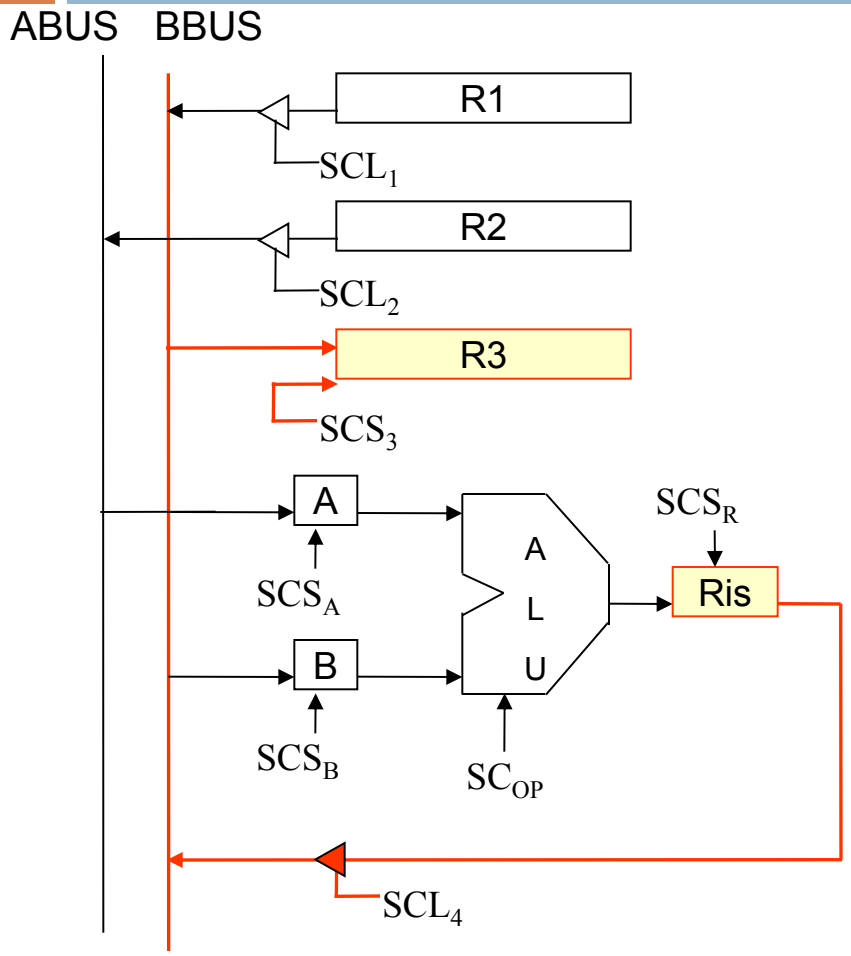
ADD R3,R1,R2



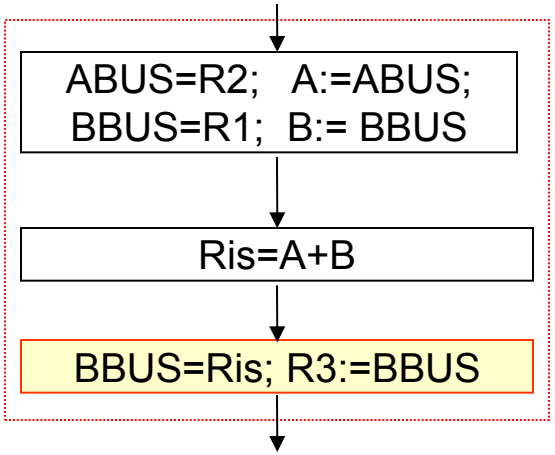
SC_{OP}= + → AluOutput=A+B

SCS_R =1 → Ris:=AluOutput

Fase di Execute vers. 3



ADD R3,R1,R2



SCL_4=1 → BBUS=Ris

SCS_3=1 → R3:=BBUS

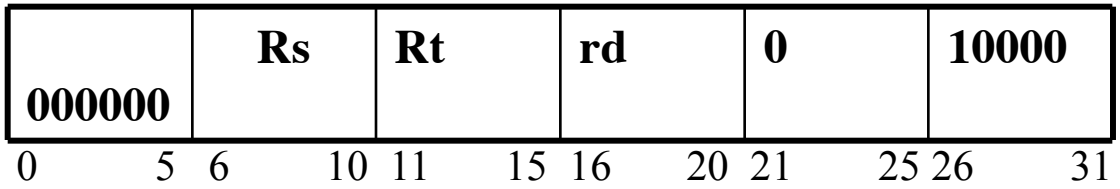
Realizzazione di un processore sequenziale

- Consideriamo un processore sequenziale in grado di implementare le seguenti classi di istruzioni
  - Istruzioni di tipo R (operandi solo registri)
  - Istruzioni di Load/Store (lettura da memoria, scrittura su memoria)
  - Istruzioni di branch (Salto condizionato)

Istruzioni

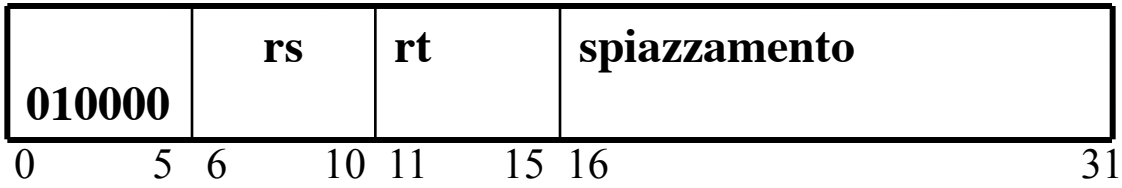
Istruzioni di tipo R

add rd, rs, rt Reg[rd] = Reg[rs]+Reg[rt]



Istruzioni di salto

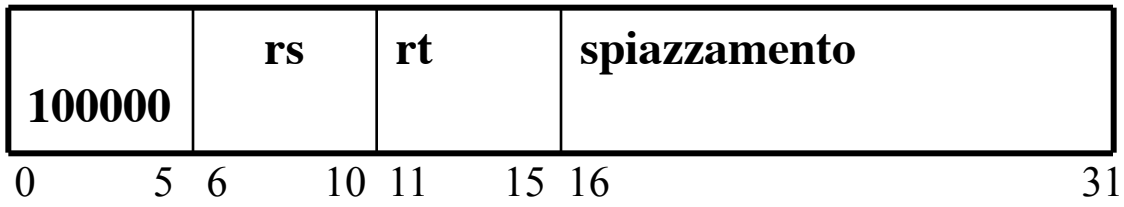
beq rs,rt spiazzamento if(rs==rt) PC=PC+est_segno(spiazzamento<<2)



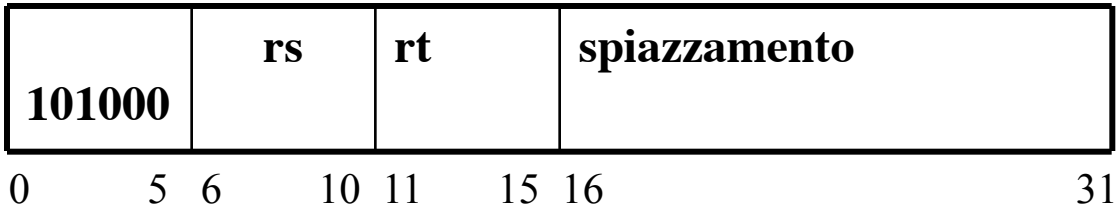
Istruzioni

Istruzioni di riferimento a memoria

lw rt, spiazzamento (rs) Reg[rt] =M[Reg[rs]+est_segno(spiazzamento)]



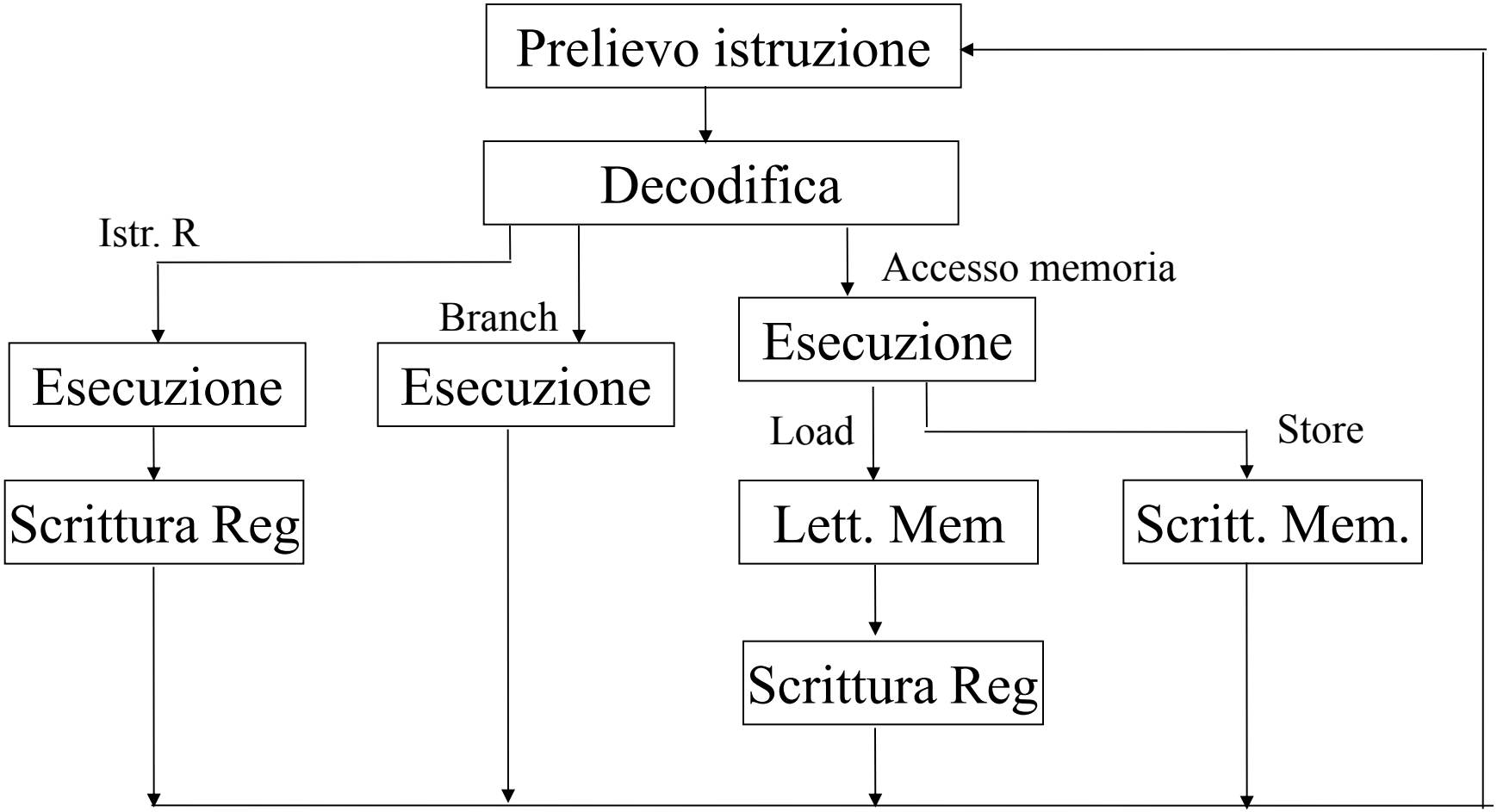
sw rt, spiazzamento (rs) M[Reg[rs]+est_segno(spiazzamento)] = Reg[rt]



Esecuzione delle istruzioni

- Supponiamo che l'esecuzione delle istruzioni possa essere realizzata nelle seguenti 5 fasi
  - Fetch (lettura delle istruzioni)
  - Decode (decodifica delle istruzioni)
  - Execute (esecuzione di una operazione)
  - Memory Access (accesso in memoria in lettura/scrittura)
  - Write Back (scrittura nel registro destinazione)

Macchina a stati del processore

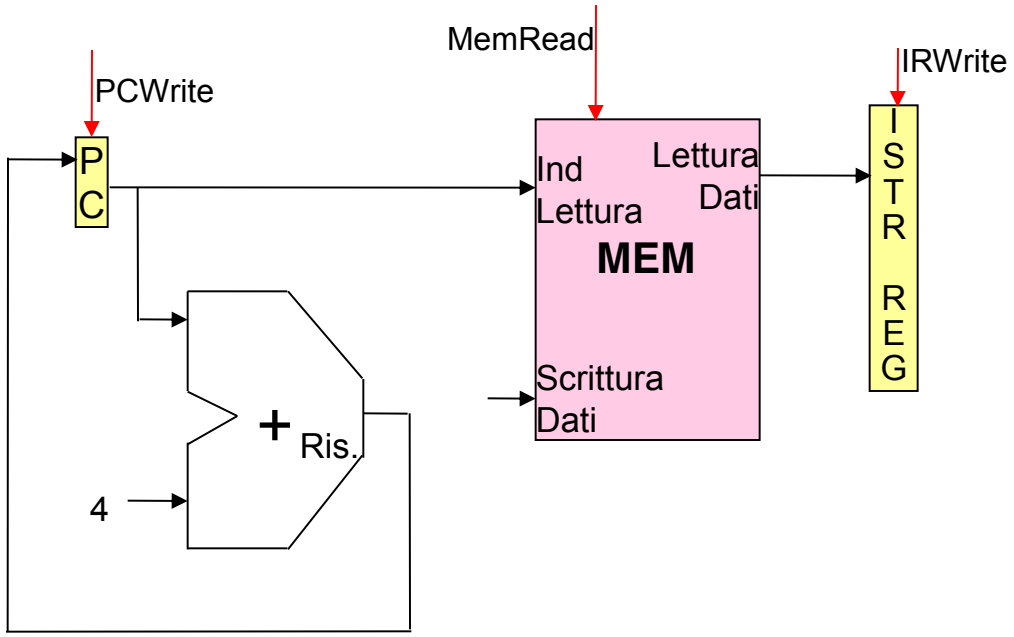


Datapath

- Individuiamo i componenti per realizzare il datapath analizzando i componenti richiesti per realizzare le diverse fasi
- Individuiamo i segnali di controllo che l'unità di controllo deve generare per il datapath
- Assumiamo che il processore faccia uso dei seguenti registri
  - IR, PC, Register File (banco di registri)
- Assumiamo di non fare uso del registro MAR

Componenti e segnali per realizzare il Fetch delle istruzioni

IR:=M[PC]; PC:=PC+4



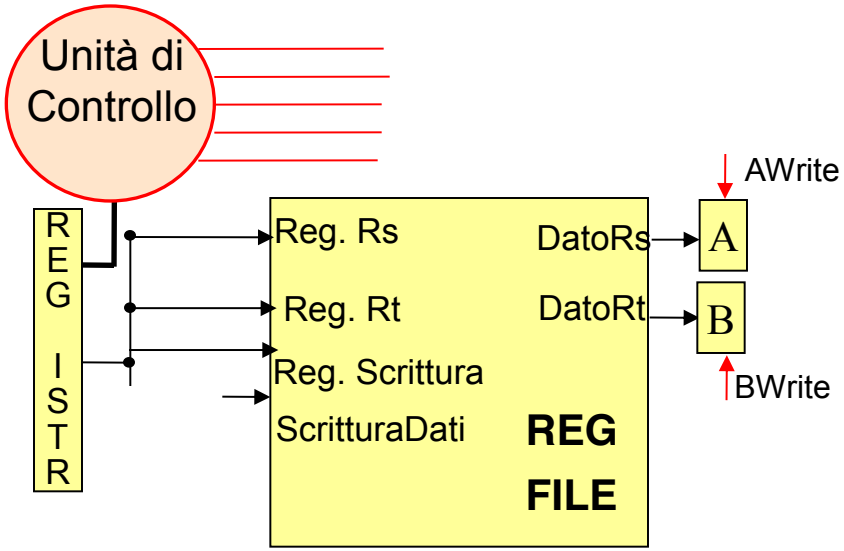
- Il contenuto del PC viene usato per indirizzare la memoria
- L'istruzione viene memorizzata nel registro IR registro istruzione

Risorse richieste
PC, IR, Mem(PC), ADDER(PC,4)

Segnali di controllo
PCWrite, IRWrite, MemRead

Componenti e segnali di controllo per realizzare il Decode delle istruzioni

A:=Reg[IR[6:10]]; B:= Reg[IR[11:15]];

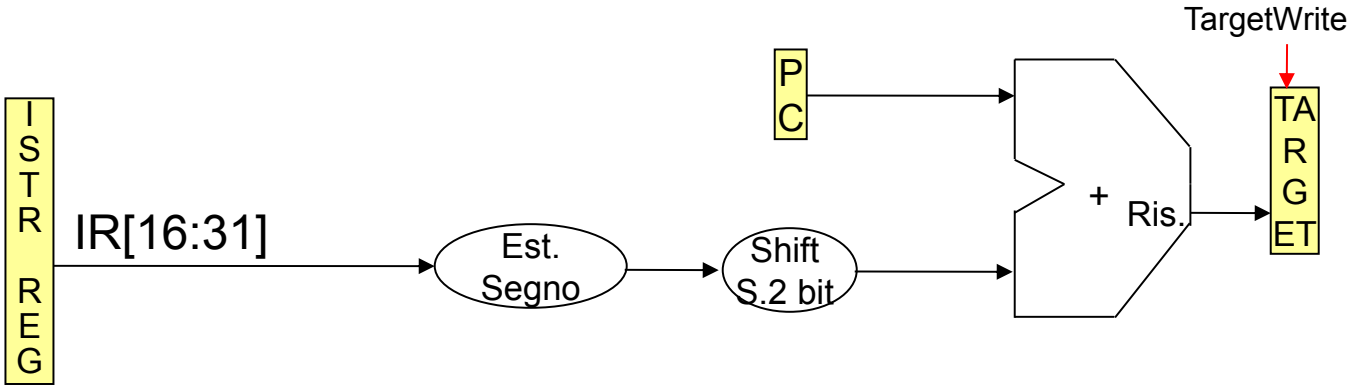


Risorse richieste
IR, Register File, A,B

Segnali di controllo
Awrite, BWrite

Componenti e segnali per il calcolo della destinazione del Branch

Target:=PC+est_segno(IR[16:31]<<2)

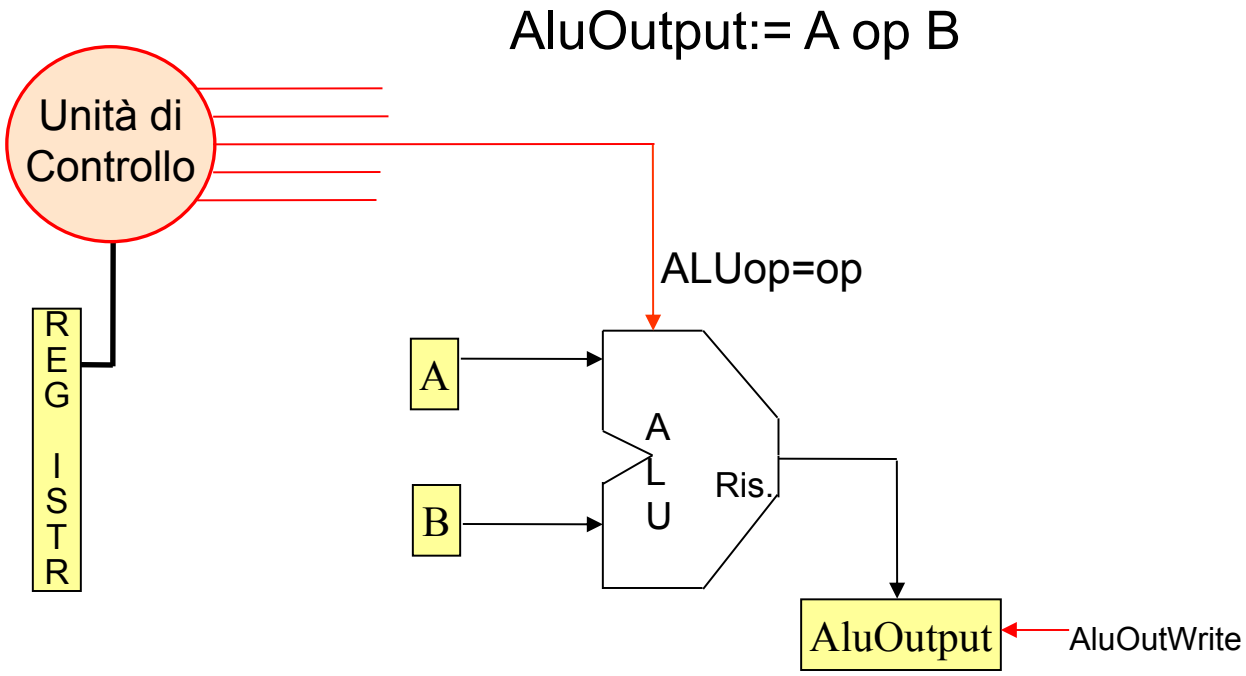


- Il calcolo dell'indirizzo Target serve solo per le istruzioni branch
- Può essere eseguito durante la fase di decode

Risorse richieste
IR, Estensione in segno, ShiftLeft(2 bit), ADDER(PC,EstSegno(ShiftLeft(2 bit)))

Segnali di controllo
TargetWrite

Componenti per realizzare l'Execute delle istruzioni R

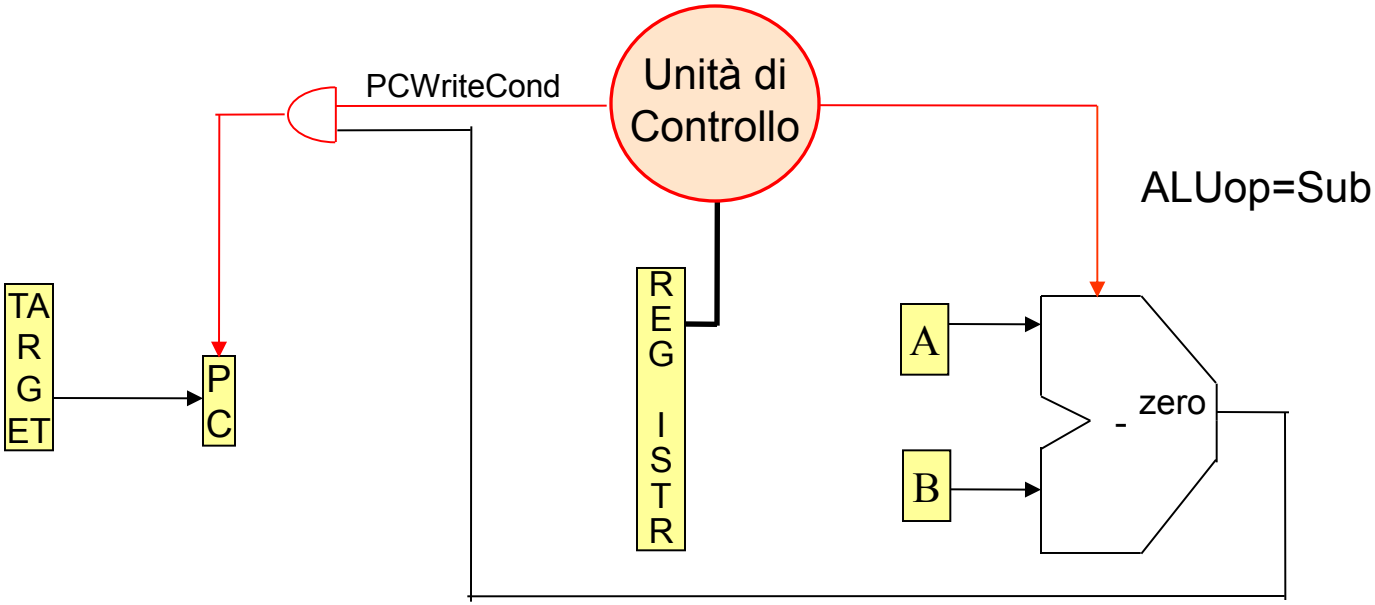


Risorse richieste
IR, A,B, ALU(A,B,ALUop), AluOutput

Segnali di controllo
Aluop=op, AluOutWrite

Componenti per realizzare l'Execute delle istruzioni Branch

If (zero) PC:=Target



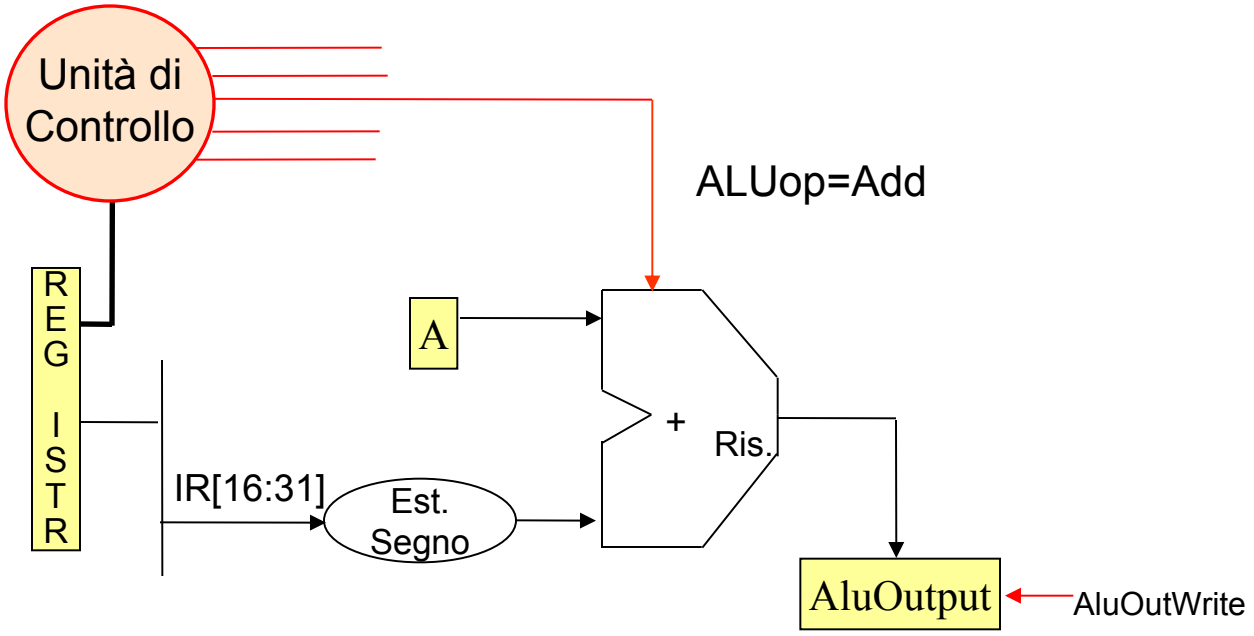
- La condizione zero è ottenuto realizzando la differenza A-B

Risorse richieste
IR, PC, Target, A,B, ALU(A,B,-)

Segnali di controllo
PCWriteCond, ALUop=Sub

Componenti per realizzare l'Execute delle istruzioni di accesso alla memoria

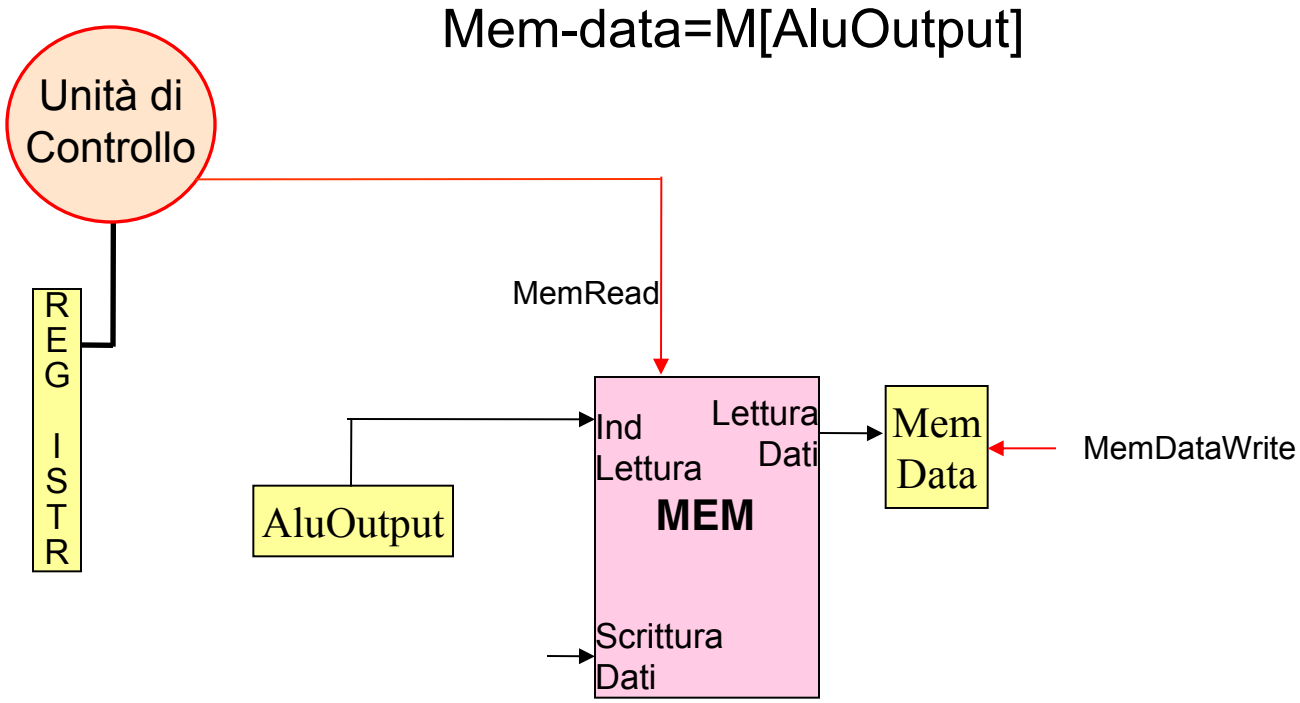
AluOutput:= A + est_segno(IR[16:31])



Risorse richieste
IR, A, Est. segno, ALU(A,EstSegno,+), AluOutput

Segnali di controllo
AluOutWrite, ALUop=Add

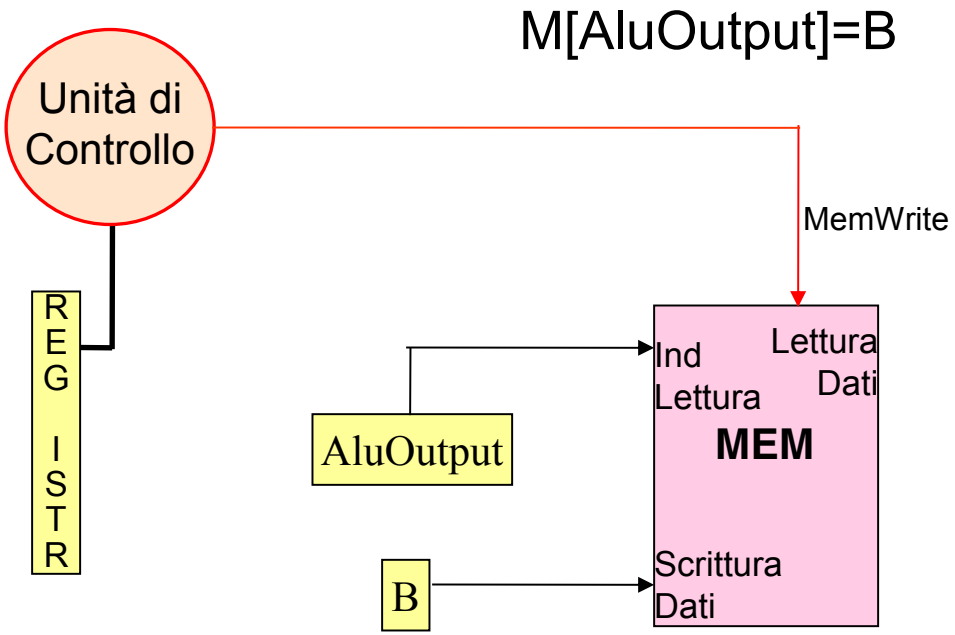
Componenti per realizzare la lettura delle istruzioni di accesso alla memoria



Risorse richieste
IR, AluOutput, MemData

Segnali di controllo
MemRead, MemDataWrite

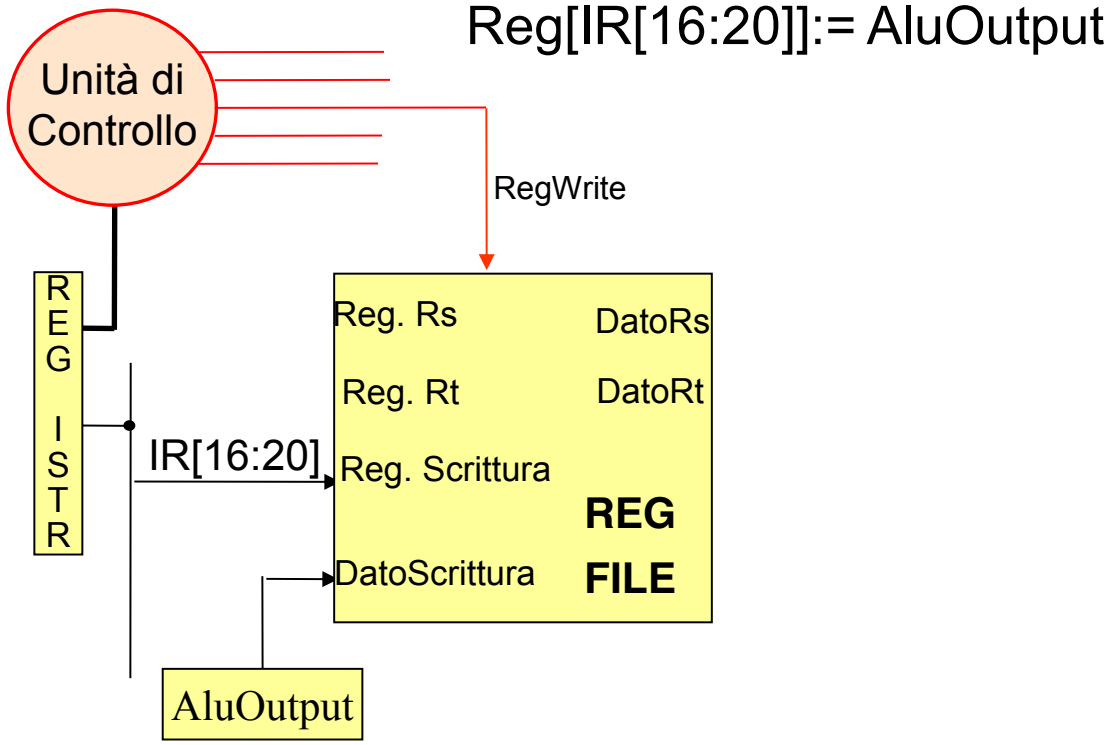
Componenti per realizzare la scrittura delle istruzioni di accesso alla memoria



Risorse richieste
IR, Mem(AluOutput), AluOutput, B

Segnali di controllo
MemWrite

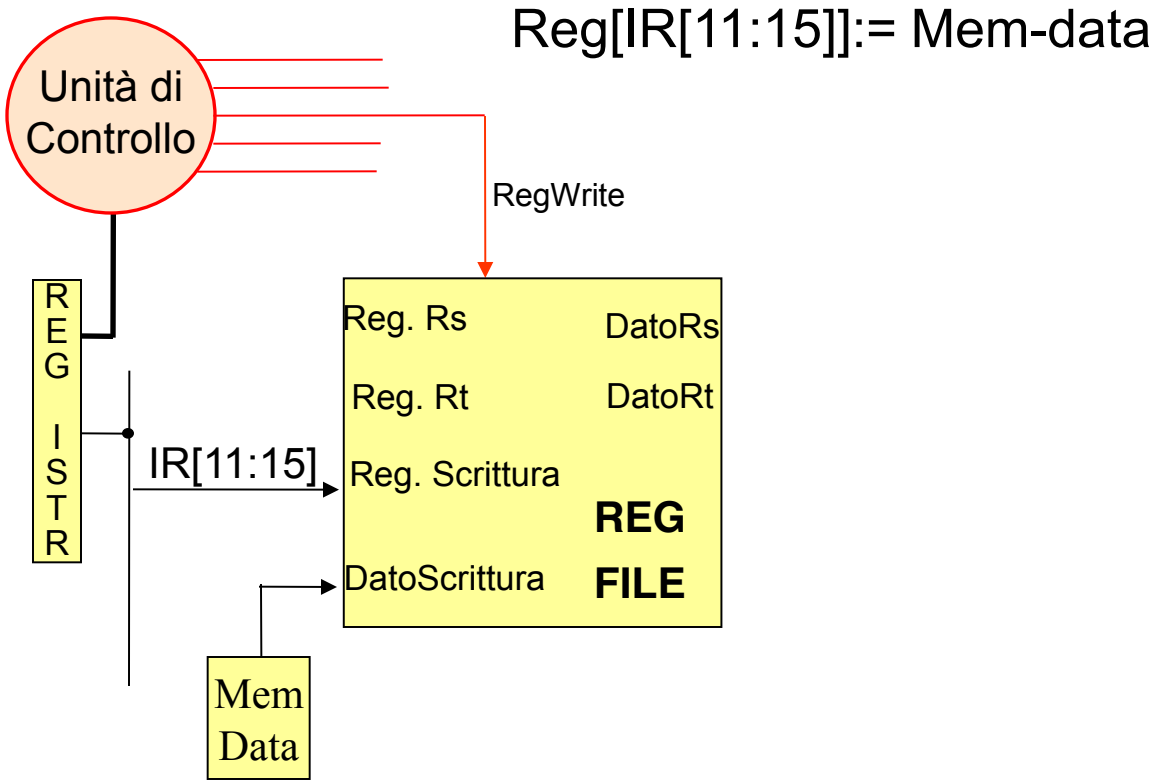
Componenti per realizzare il Write back delle istruzioni R



Risorse richieste
IR, AluOutput, RegFile(IR[16:20], AluOutput)

Segnali di controllo
RegWrite

Componenti per realizzare il Write back delle istruzioni di accesso alla memoria



Risorse richieste
IR, MemData, RegFile(IR[11:15], MemData)

Segnali di controllo
RegWrite

Riassumendo

Fetch:

- PC, IR, Mem(PC), ADDER(PC,4) o ALU(PC,4,+)

Decode:

- IR, Estensione in segno, ShiftLeft(2 bit), ADDER(PC,EstSegno(ShiftLeft(2 bit))) o ALU(PC, EstSegno(ShiftLeft(2 bit)),+)

Execute

- IR, A,B, ALU(A,B,ALUop), AluOutput (Istr. R)
- IR, PC, Target, A,B, ALU(A,B,-)
- IR, A, Est. segno, ALU(A,EstSegno,+), AluOutput (Istr. Load/Store)

MemAccess

- IR, AluOutput, MemData (load)
- IR, Mem(AluOutput), AluOutput, B (store)

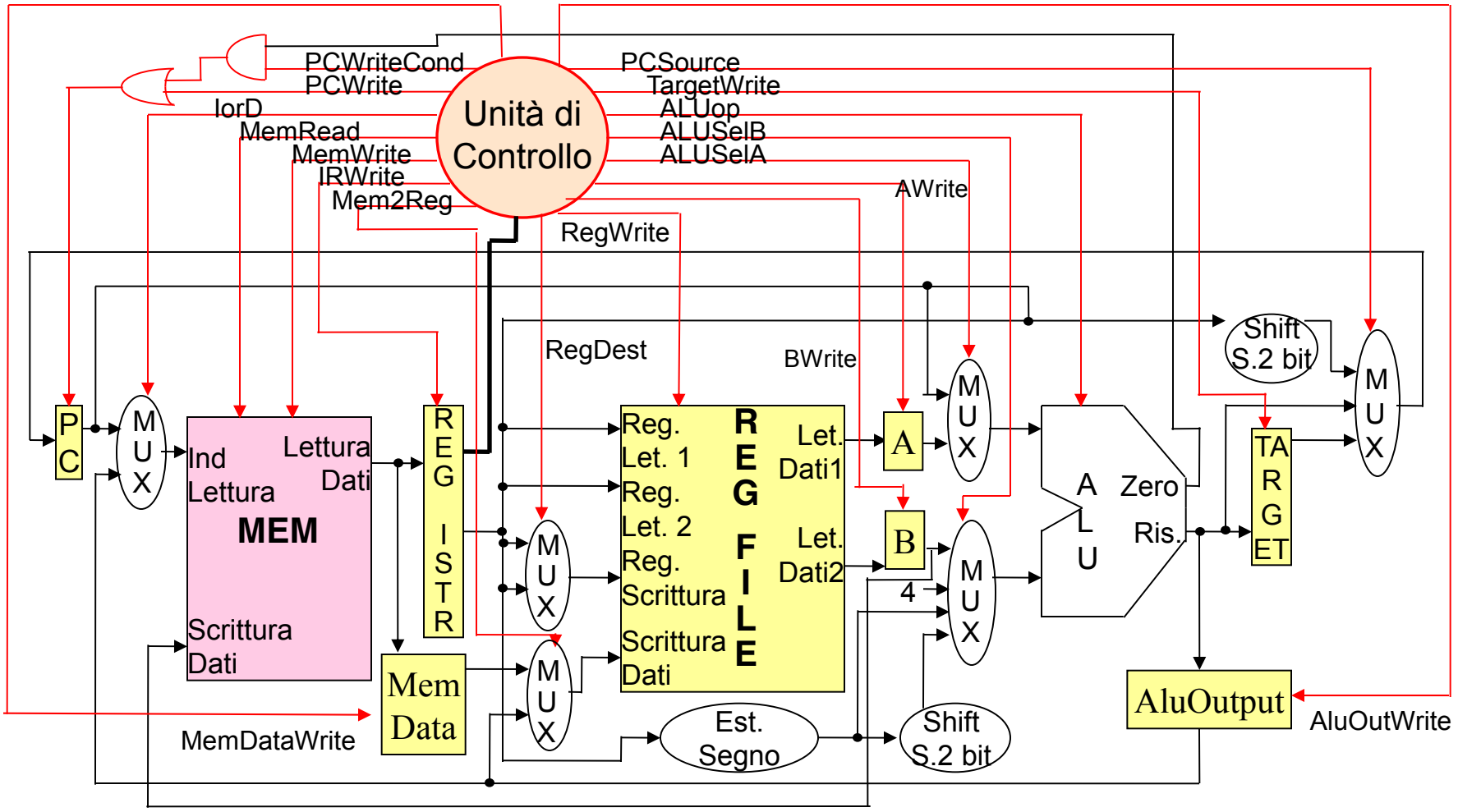
Write Back

- IR, AluOutput, RegFile(IR[16:20], AluOutput) (WB Istr R)
- IR, MemData, RegFile(IR[11:15], MemData) (Wb Istr Load)

Ingressi multiplexati per alcuni componenti

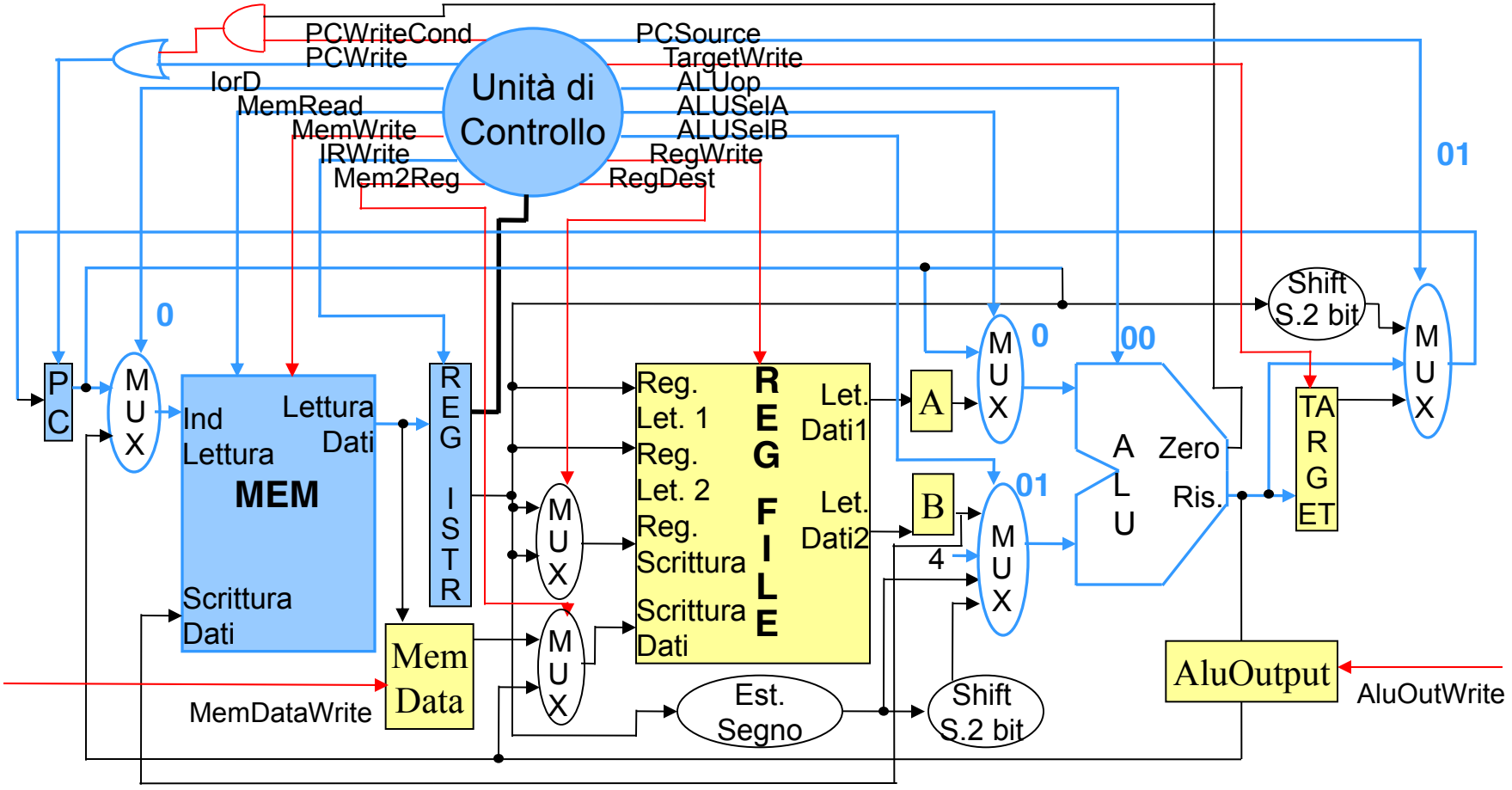
- Alcune risorse hanno in fasi diverse ingressi diversi
  - Memoria
    - PC (fetch) o Aluoutput (Memory access Store)
  - ALU
    - ALU(PC, 4,+) (fetch),
    - ALU(PC, EstSegno(ShiftLeft(2 bit)),+) (decode)
    - ALU(A, B,ALUop) (execute R o branch)
    - ALU(A, EstSegno,+) (execute Load/store)
  - Register File
    - RegFile(IR[16:20], AluOutput) (WB Istr R)
    - RegFile(IR[11:15], MemData) (Wb Istr Load)
  - PC
    - ALU(PC, 4,+) (fetch)
    - Target (execute branch)
- Soluzione: si usano multiplexer per inviare gli ingressi corretti

Unità Operativa+Segnali di Controllo



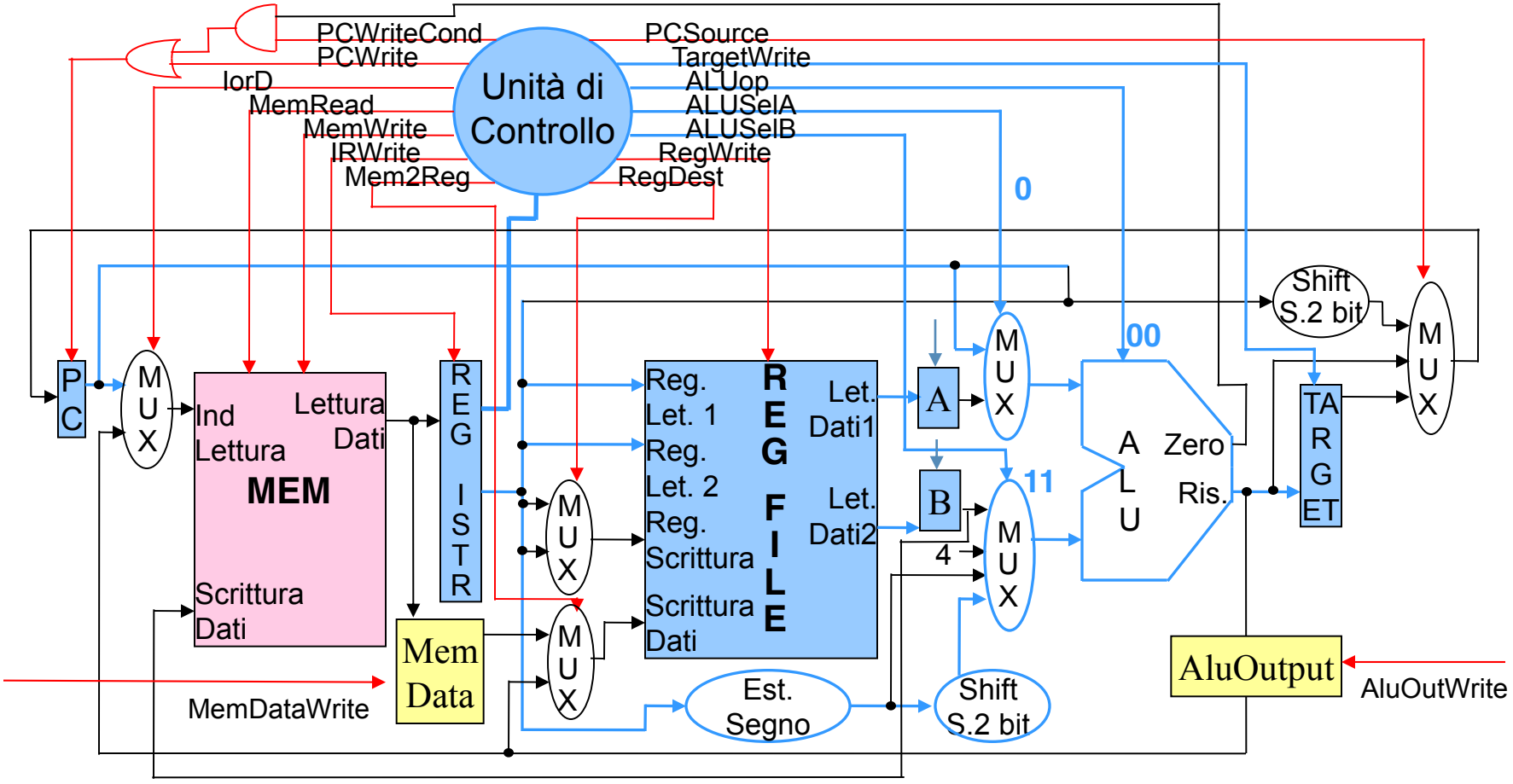
Istruzione R: Instuction Fetch

IR:=M[PC]; PC=PC+4



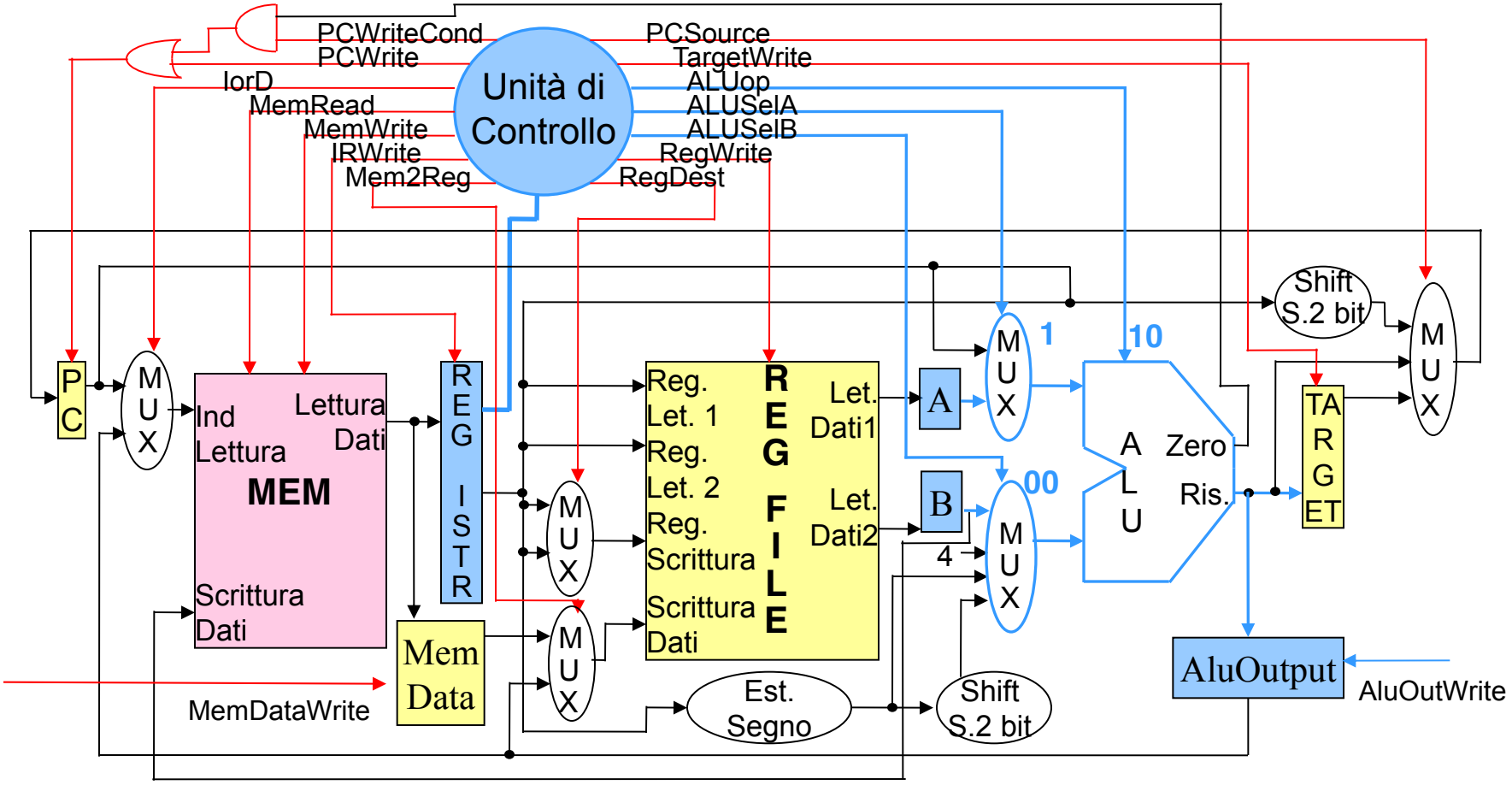
Istruzione R: Instuction Decode

A:=Reg[IR[6:10]]; B:= Reg[IR[11:15]]; Target:=PC+est_segno(IR[16:31]<<2)



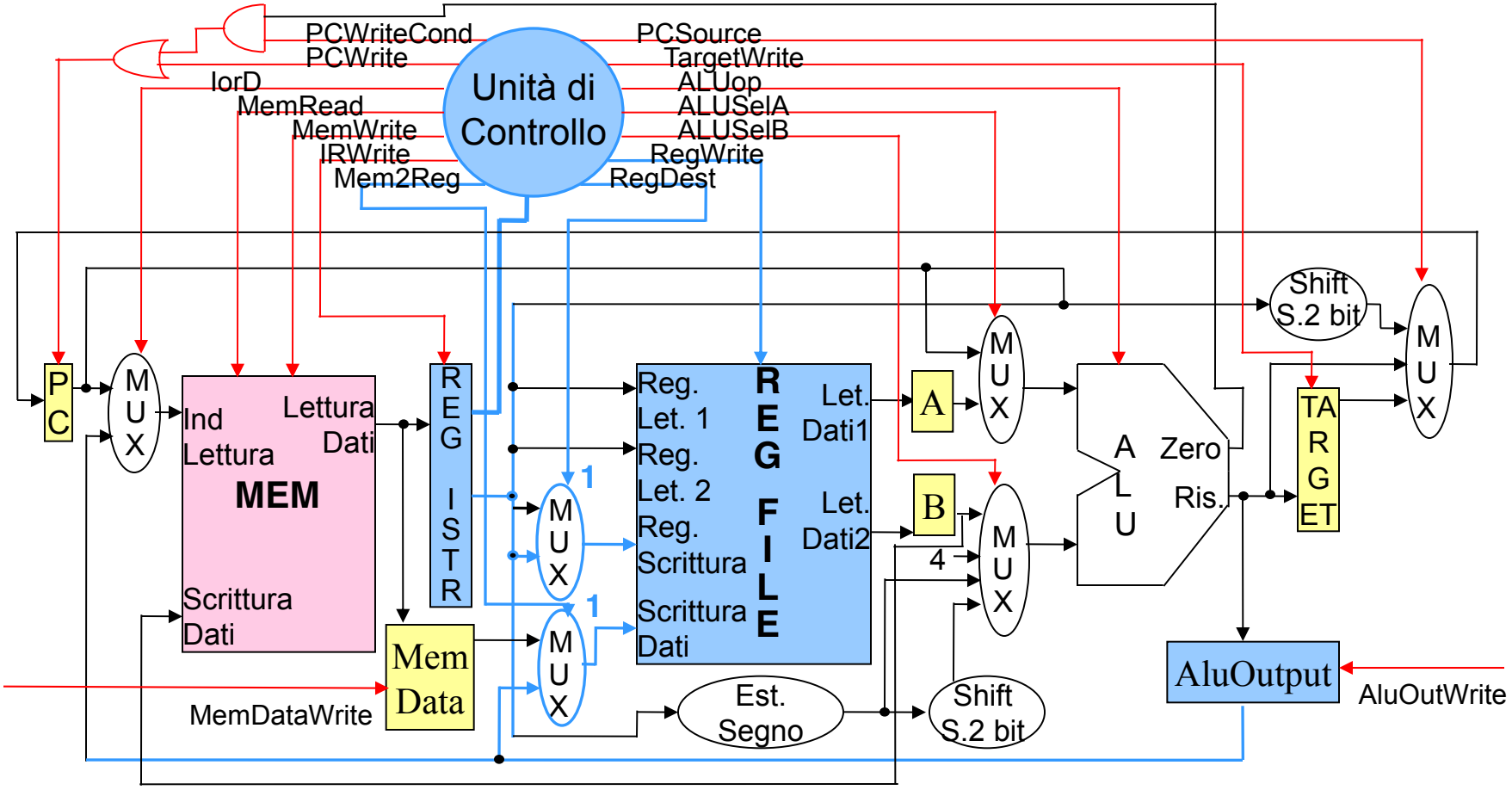
Istruzione R: Execute

AluOutput:= A op B



Istruzione R: Write back

Reg[IR[16:20]]:= AluOutput



Esecuzione delle istruzioni di tipo R

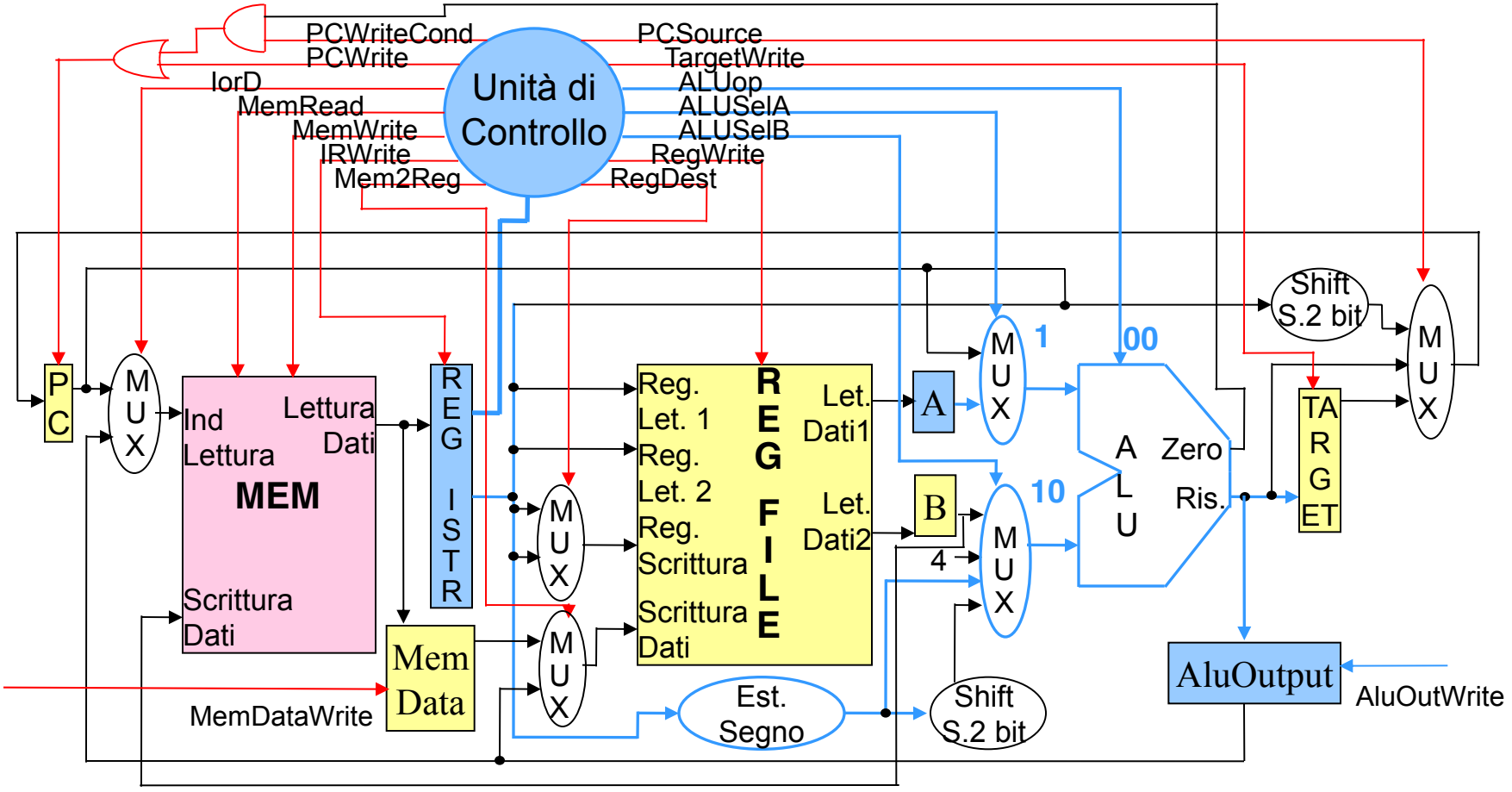
Passo	Operazioni
Prelievo dell'istruzione *Instruction Fetch*	IR:=M[PC]; PC=PC+4
Decodifica dell'istruzione *Instruction Decode*	A:=Reg[IR[6:10]]; B:= Reg[IR[11:15]]; Target:=PC+est_segno(IR[16:31]<<2)
Esecuzione *Execute*	AluOutput:= A op B
Scrittura *Write back*	Reg[IR[16:20]]:= AluOutput

Istruzioni di lettura memoria

La fase di Instruction Fetch e Instruction Decode sono identiche a quelle degli altri tipi di istruzioni

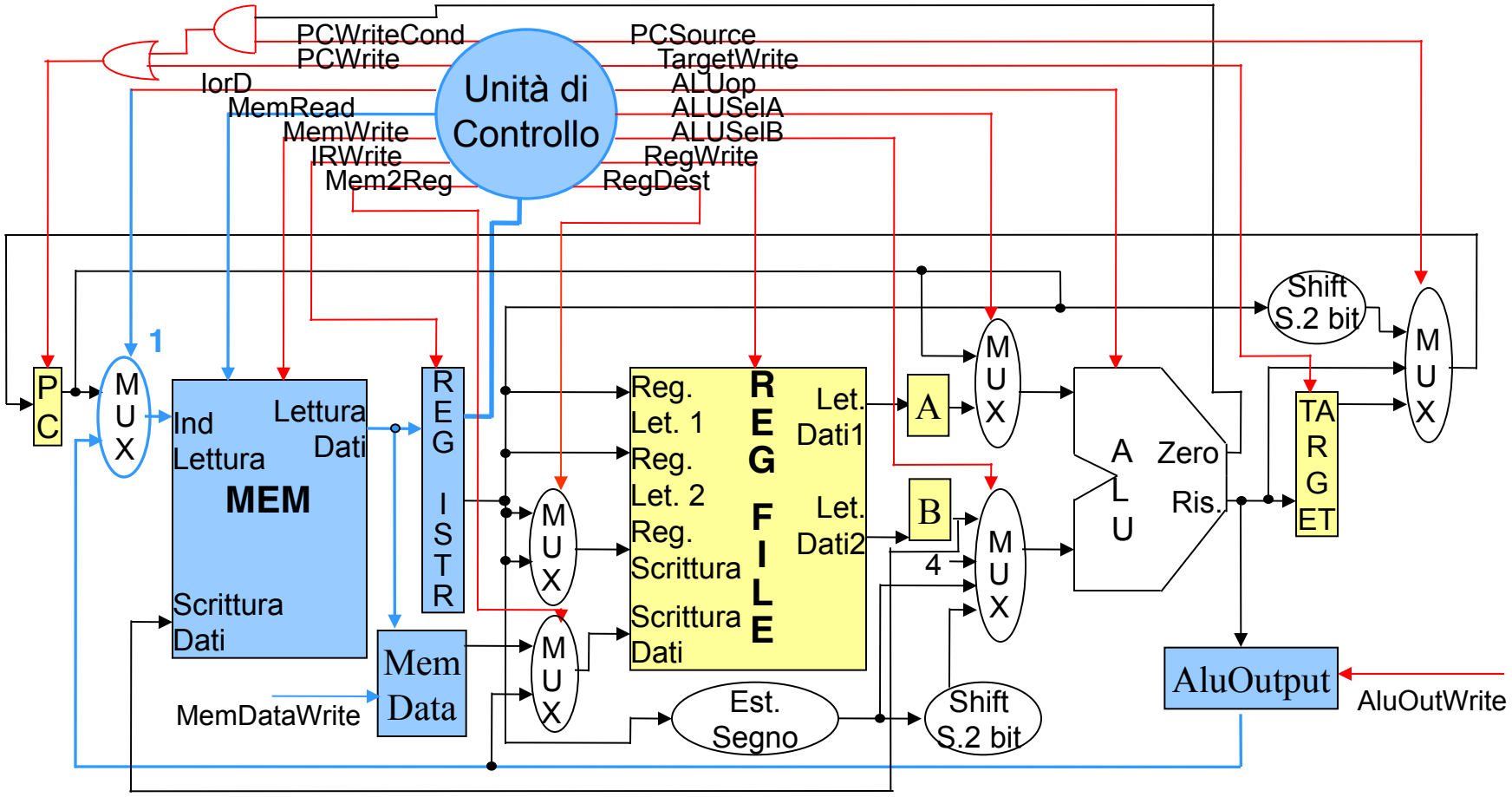
Istruzioni di lettura memoria: Execute

AluOutput:= A + est_segno(IR[16:31])



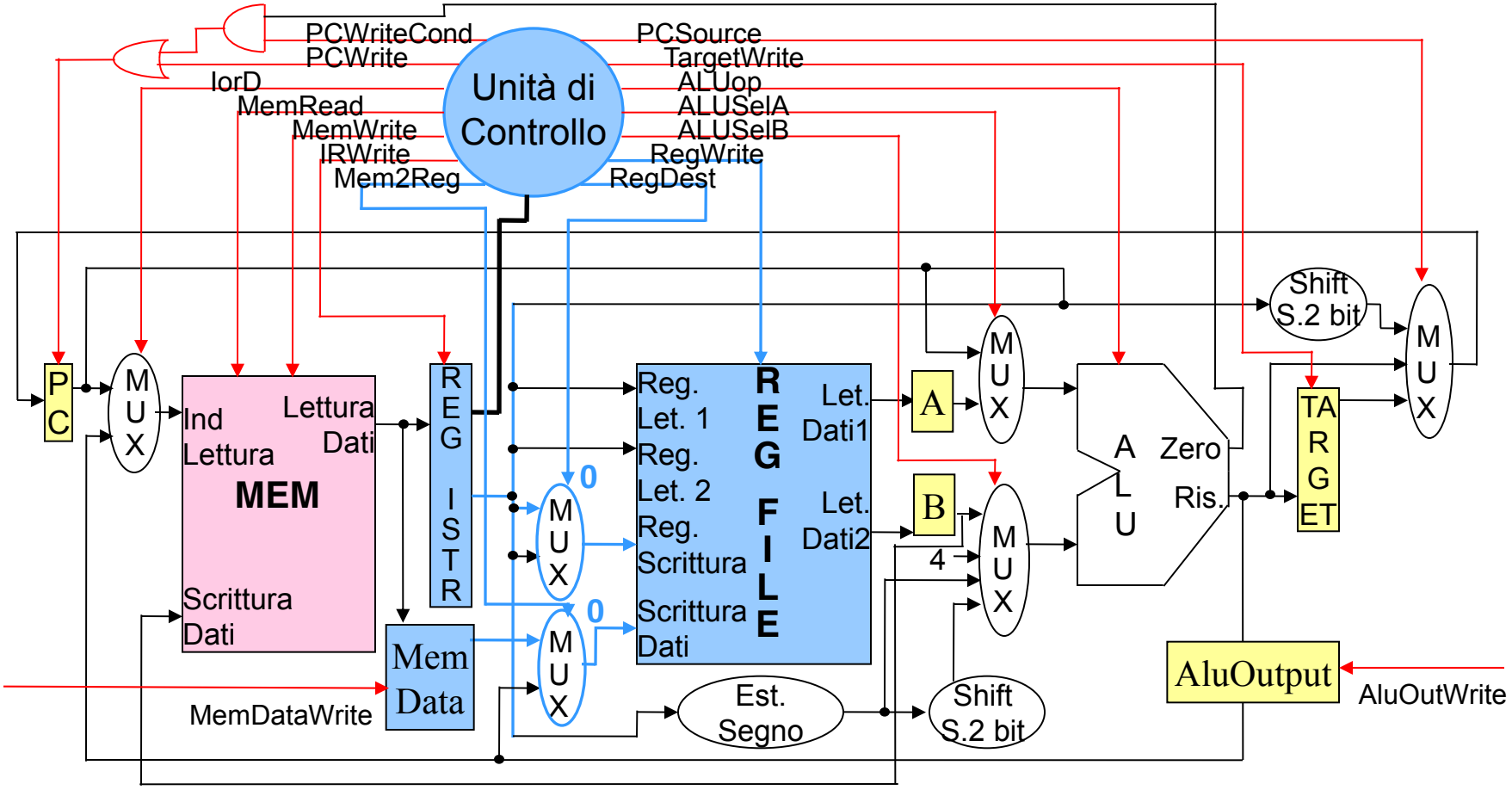
Istruzioni di lettura memoria: Memory Access

Mem-data=M[AluOutput]



Istruzioni di lettura memoria: Write back

Reg[IR[11:15]]:= Mem-data

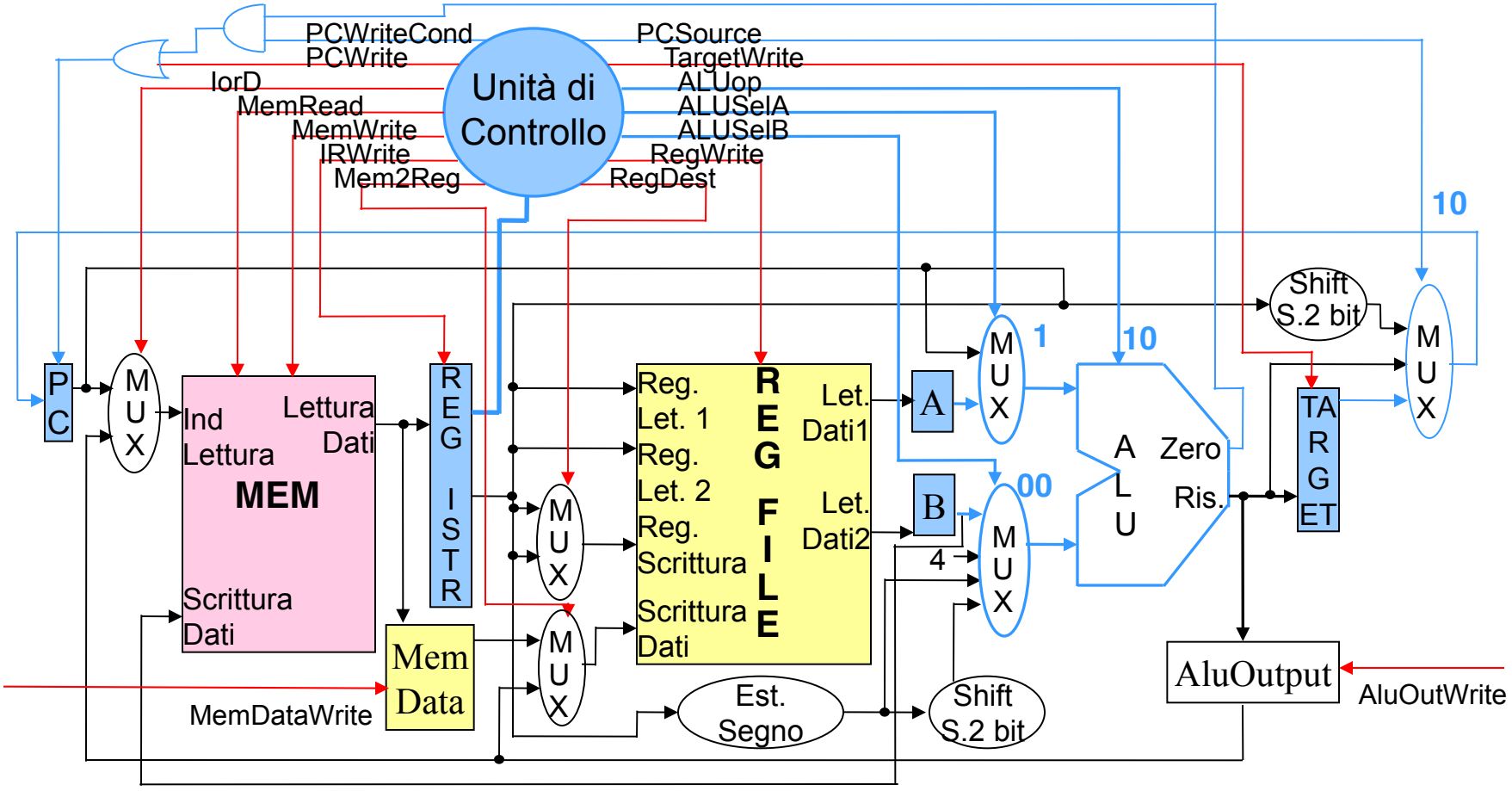


Esecuzione delle istruzioni di lettura memoria

Passo	Operazioni
Prelievo dell'istruzione	IR:=M[PC]; PC=PC+4
Decodifica dell'istruzione	A:=Reg[IR[6:10]]; B:= Reg[IR[11:15]]; Target:=PC+est_segno(IR[16:31]<<2)
Esecuzione	AluOutput:= A + est_segno(IR[16:31])
Accesso in lettura	Mem-data=M[AluOutput]
Scrittura	Reg[IR[16:20]]:= Mem-data

Istruzione branch: Execute

If (zero) PC:=Target

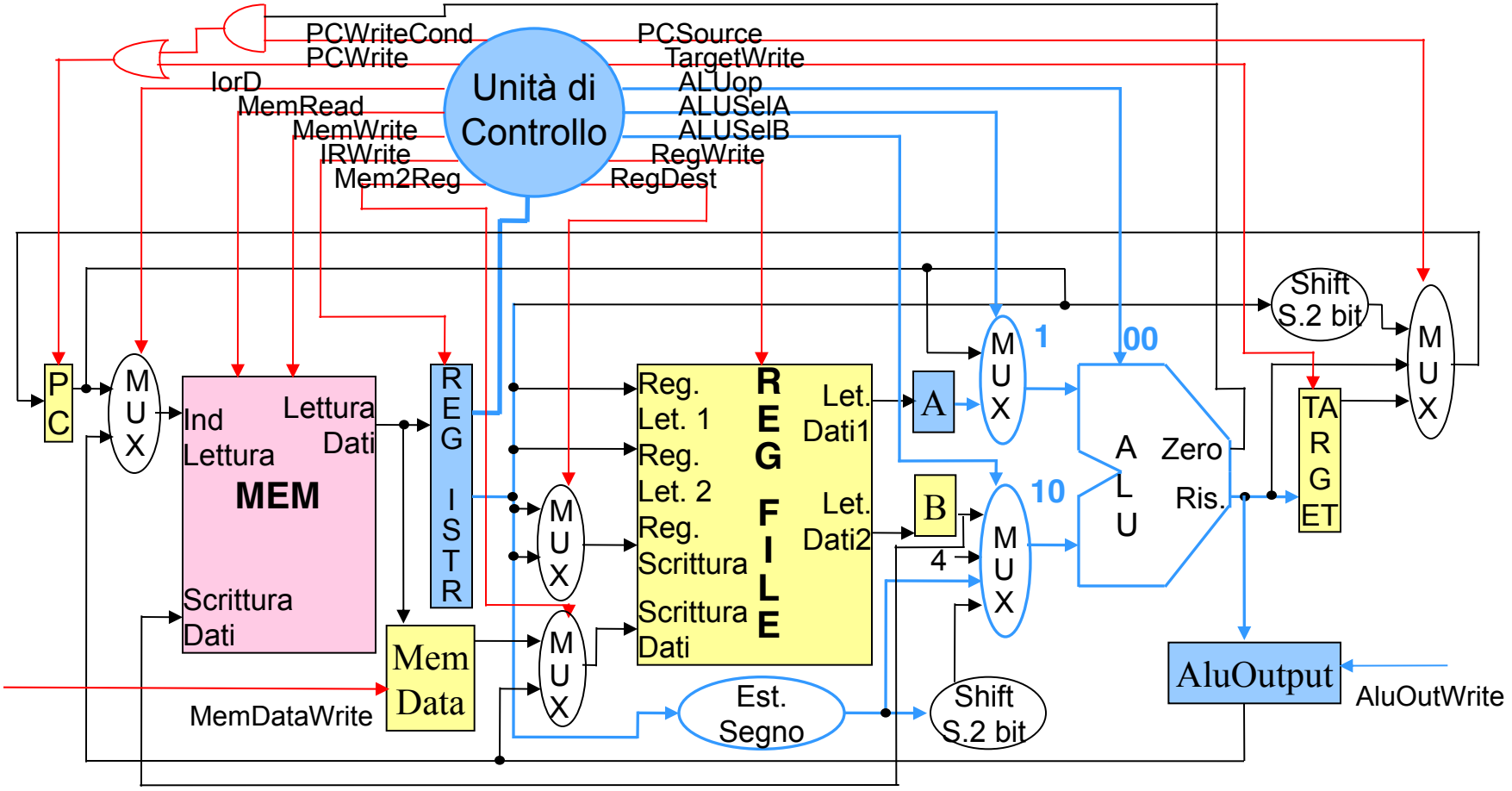


Esecuzione delle istruzioni Branch

Passo	Operazioni
Prelievo dell'istruzione *Instruction Fetch*	IR:=M[PC]; PC=PC+4
Decodifica dell'istruzione *Instruction Decode*	A:=Reg[IR[6:10]]; B:= Reg[IR[11:15]]; Target:=PC+est_segno(IR[16:31]<<2)
Esecuzione *Execute*	If (zero) PC:=Target

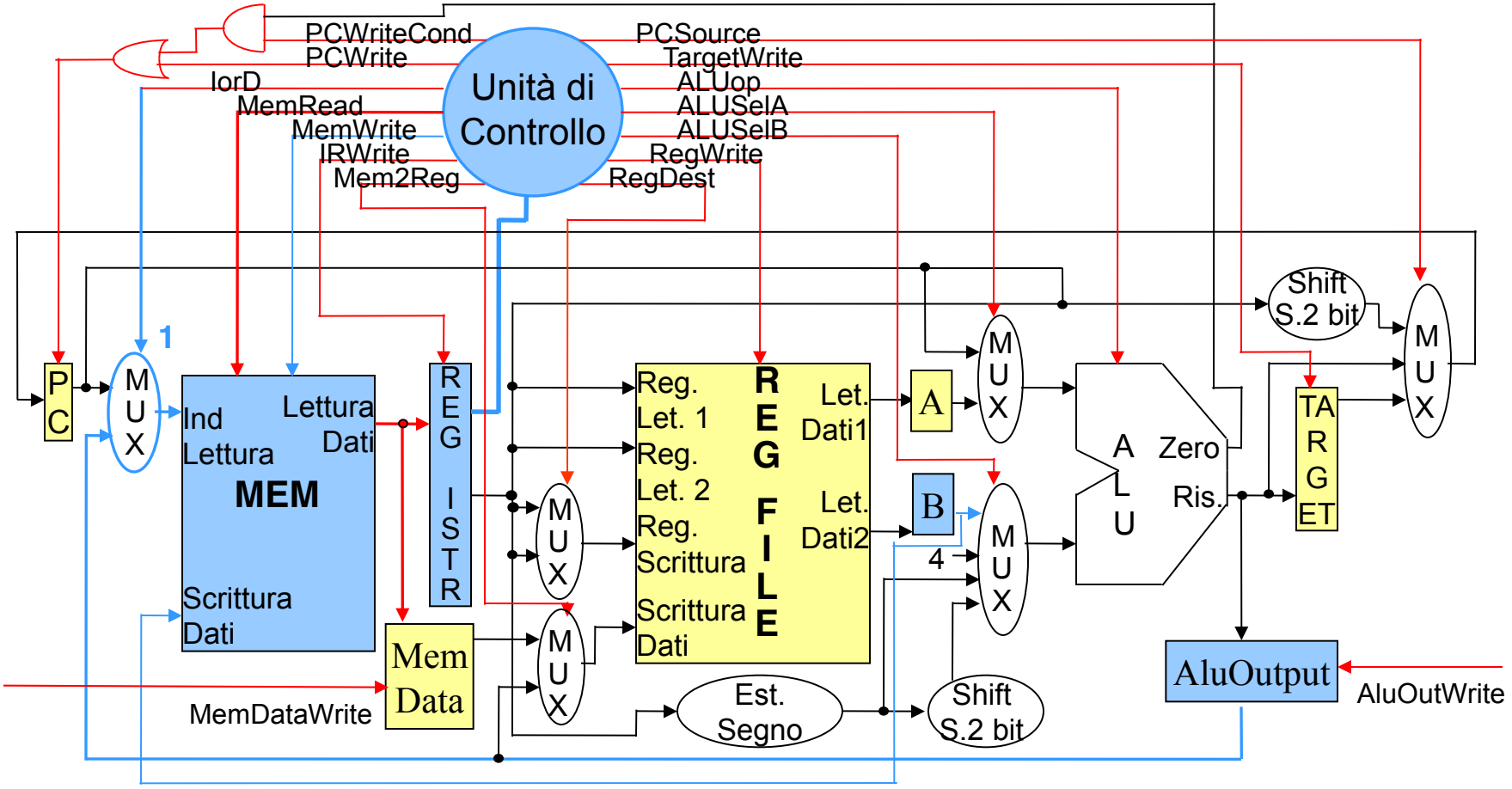
Istruzione di scrittura memoria: Execute

AluOutput:= A + est_segno(IR[16:31])



Istruzione di scrittura memoria: Memory access

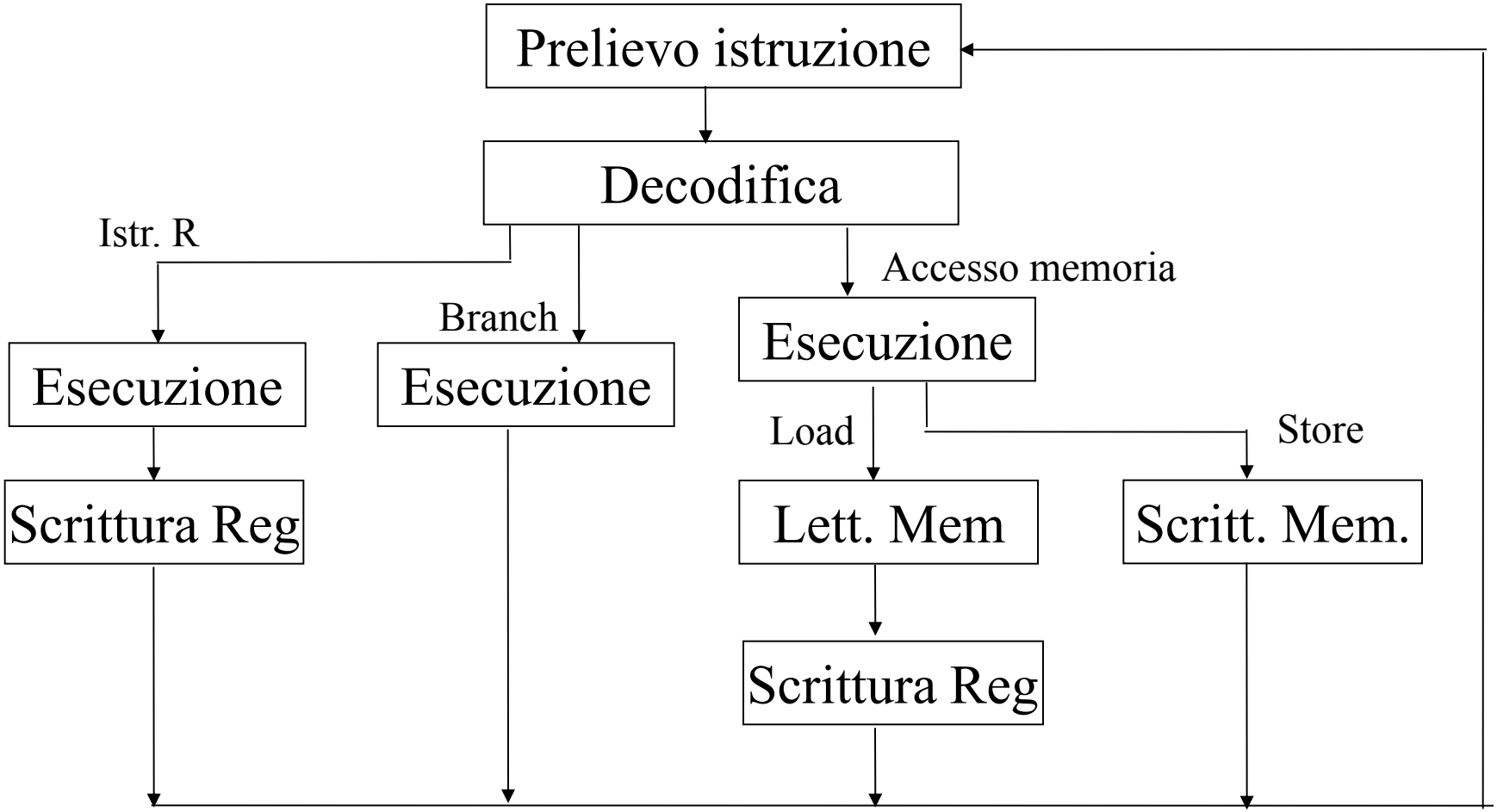
M[AluOutput] = B



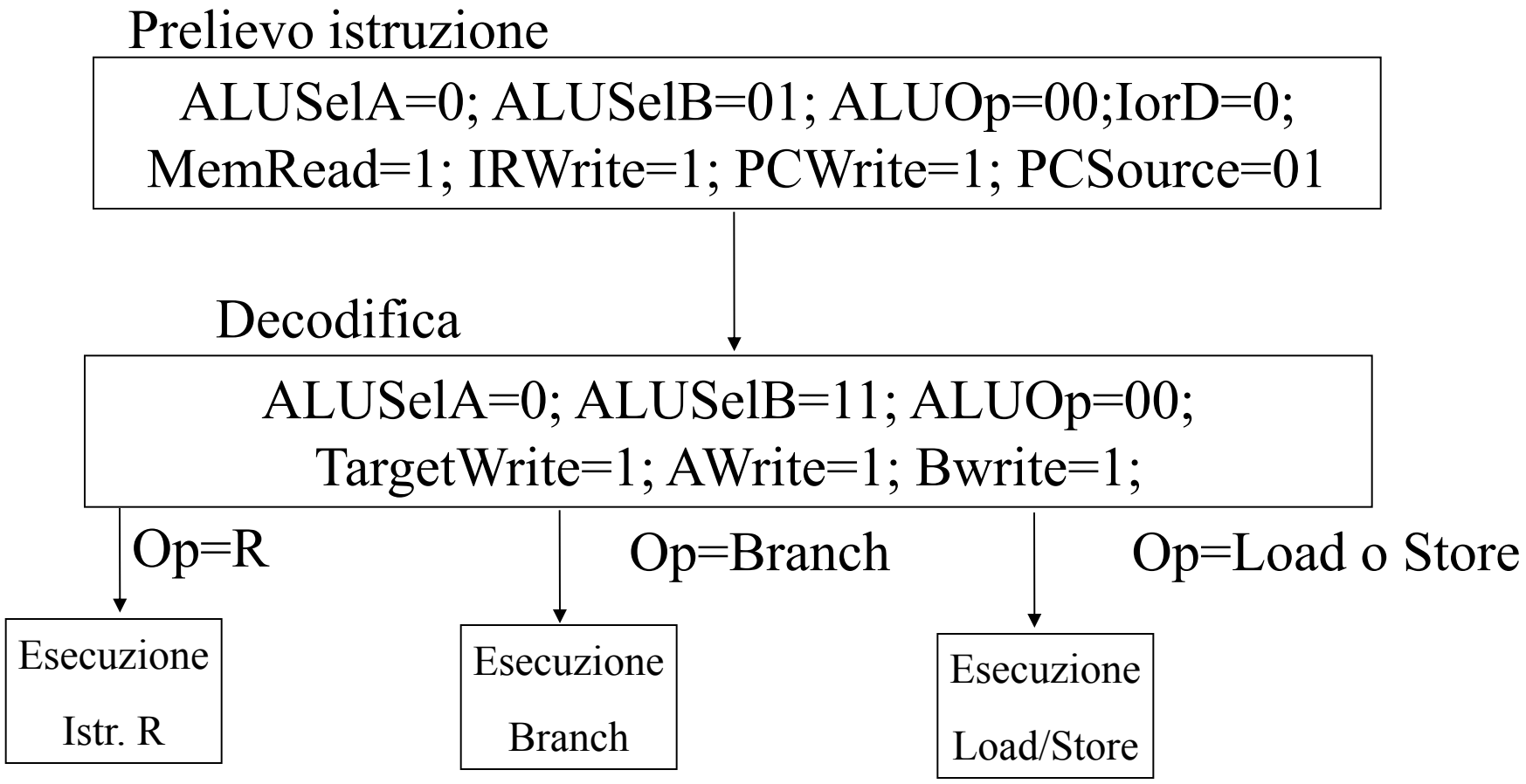
Esecuzione delle istruzioni di scrittura memoria

Passo	Operazioni
Prelievo dell'istruzione	IR:=M[PC]; PC=PC+4
Decodifica dell'istruzione	A:=Reg[IR[6:10]]; B:= Reg[IR[11:15]]; Target:=PC+est_segno(IR[16:31]<<2)
Esecuzione	AluOutput:= A + est_segno(IR[16:31])
Accesso in scrittura	M[AluOutput] = B;

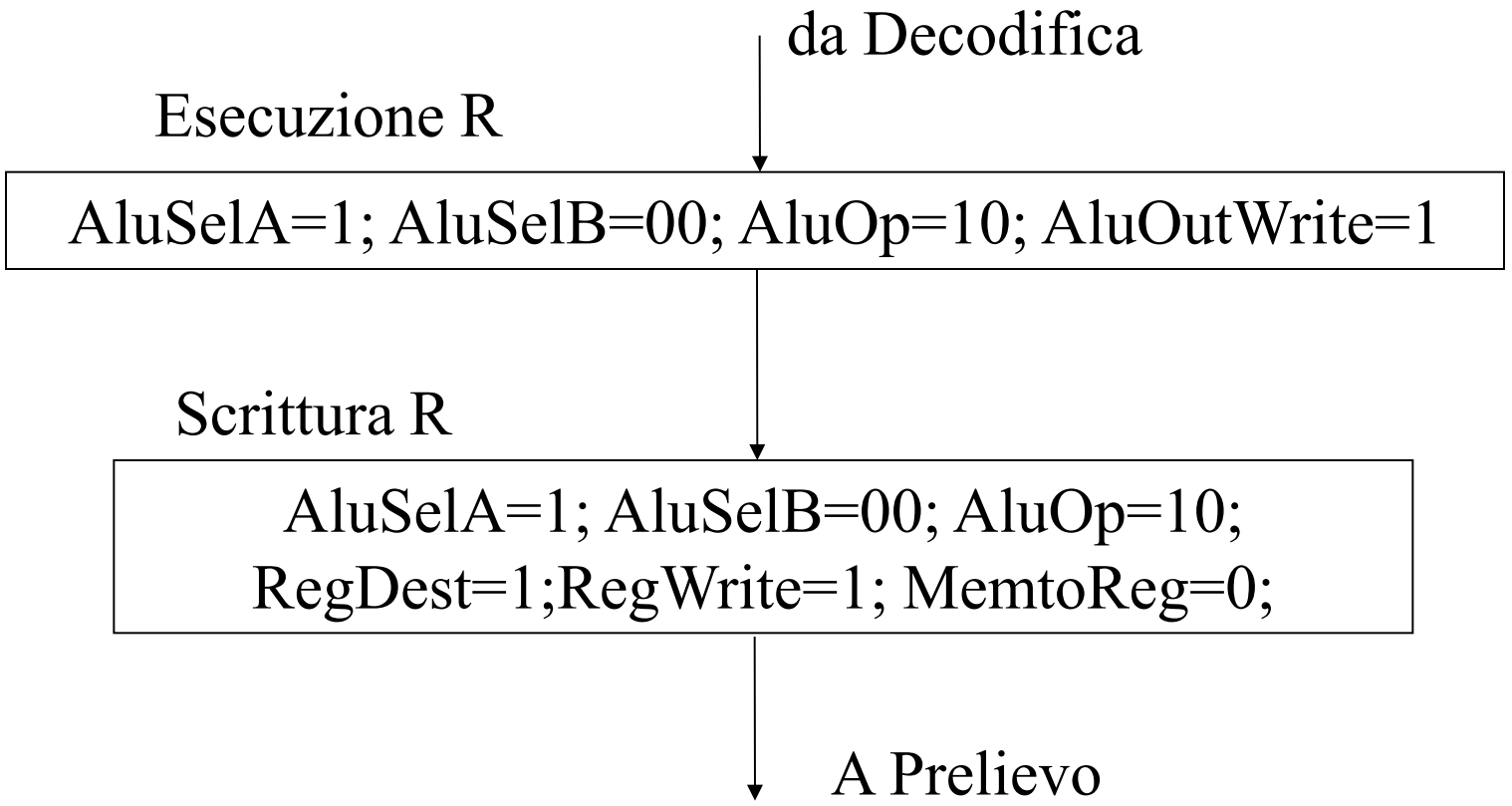
Macchina a stati del processore



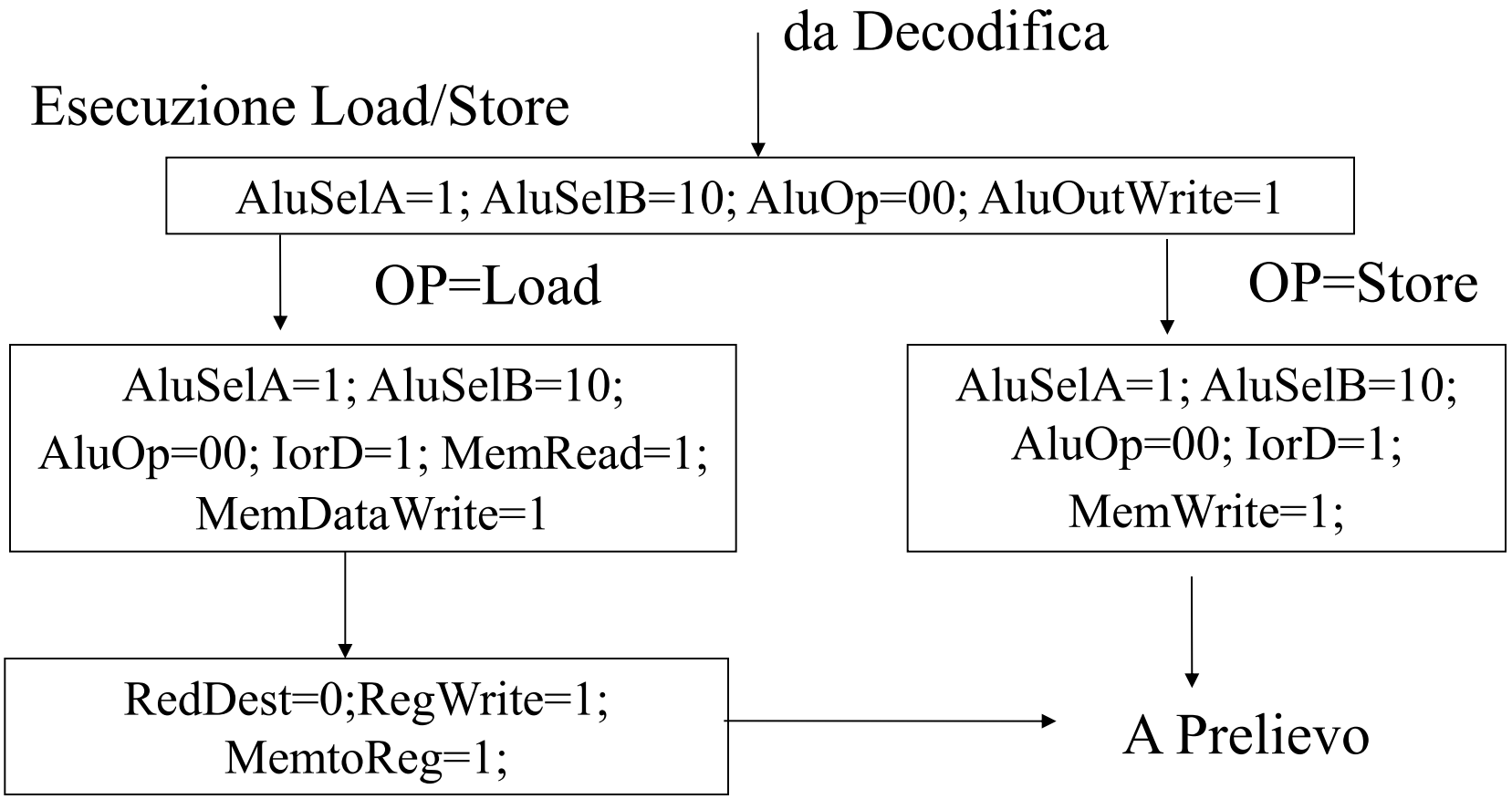
Segnali di controllo primi due stati



Segnali di controllo Esecuzione Istr. R



Segnali di controllo accesso memoria



Realizzazione dell'unità di controllo

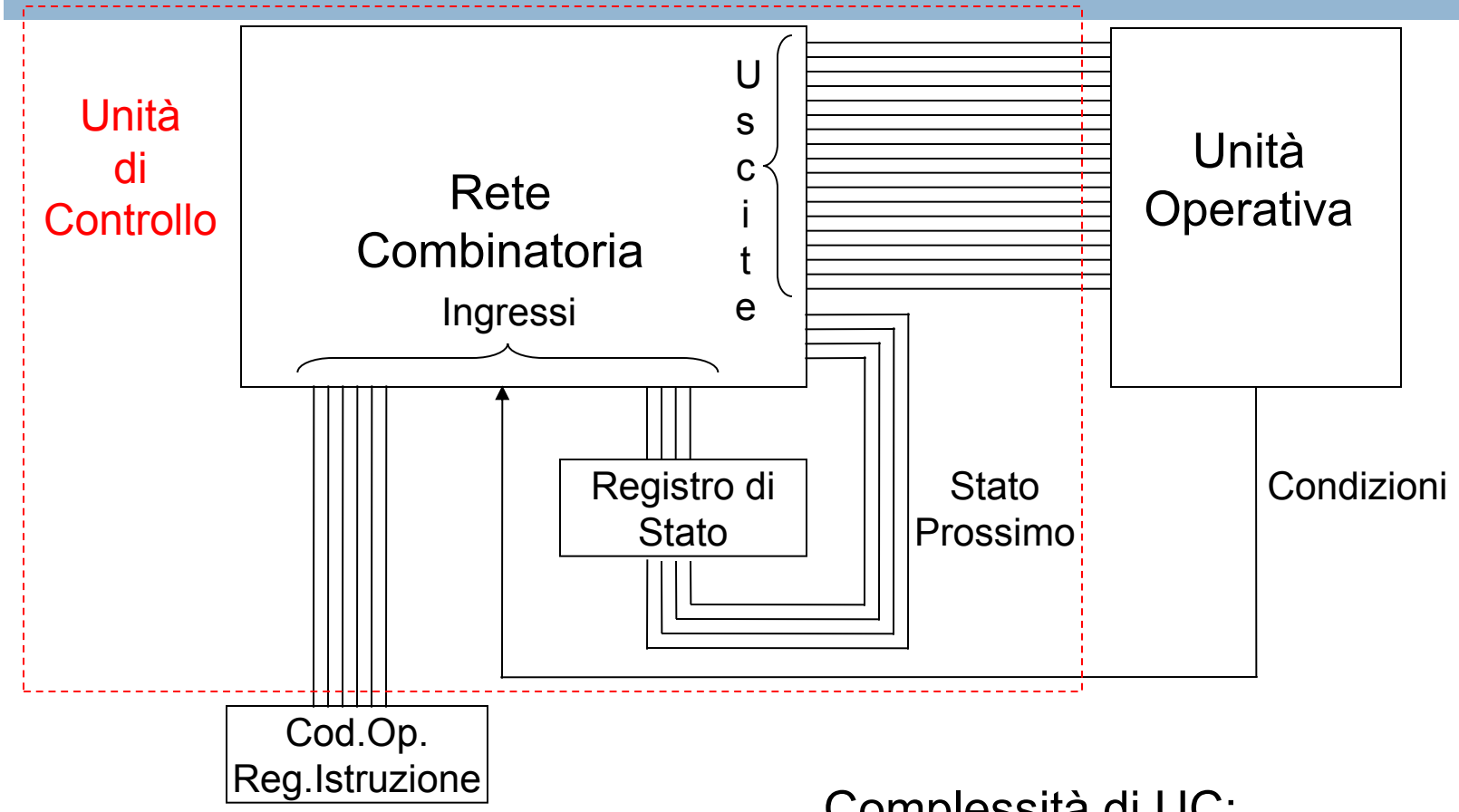
- La realizzazione dell'unità di controllo equivale alla realizzazione di una rete sequenziale sincrona
- Data la macchina a stati, è necessario realizzare
  - la funzione stato prossimo
  - la funzione delle uscite ovvero i segnali di controllo
- Possibili implementazioni dell'unità di controllo
  - Cablata
  - Microprogrammata

Logica cablata

- Progetto
  - Come sintesi di rete sequenziale
    - ingressi: IR, Stato
    - uscite: comandi, Stato prossimo
  - Uso di ROM. La rete che definisce stato prossimo e i segnali di controllo è implementata mediante una memoria ROM che ha come
    - ingressi (indirizzi alla ROM): IR, stato di UO, stato di UC
    - uscite: comandi, ingressi di eccitazione dei FF di stato
  - Progettazione con CAD per VLSI

    Realizziamo un modello HDL e facciamo la sintesi

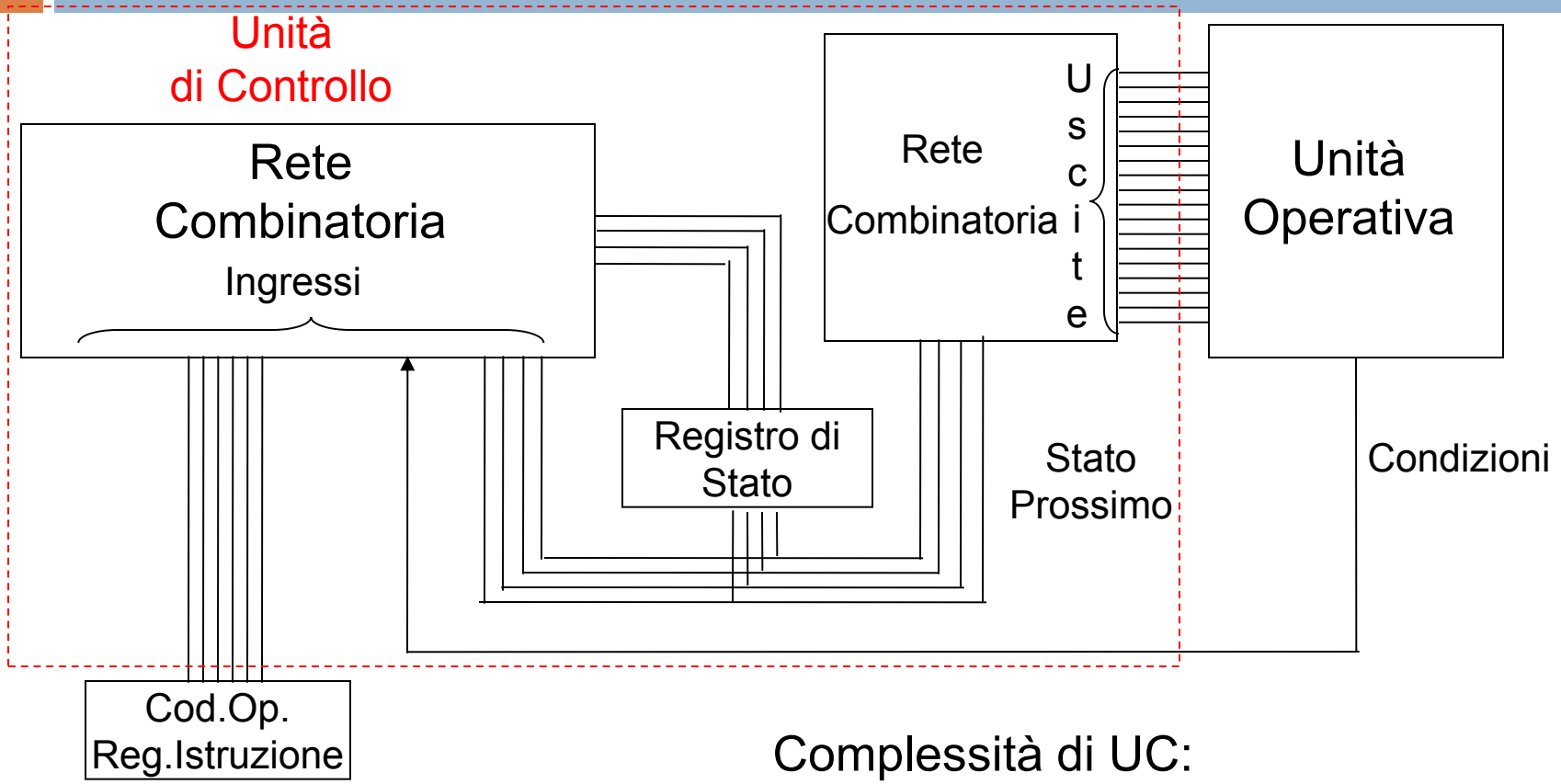
Realizzazione cablata



Complessità di UC:

$2^{N\_ingressi} \times (N\_uscite + \log_2 N\_stati)$

Realizzazione cablata



Complessità di UC:

$2^{N\_ingressi} \times \log_2 N\_stati + N\_stati \times N\_uscite$

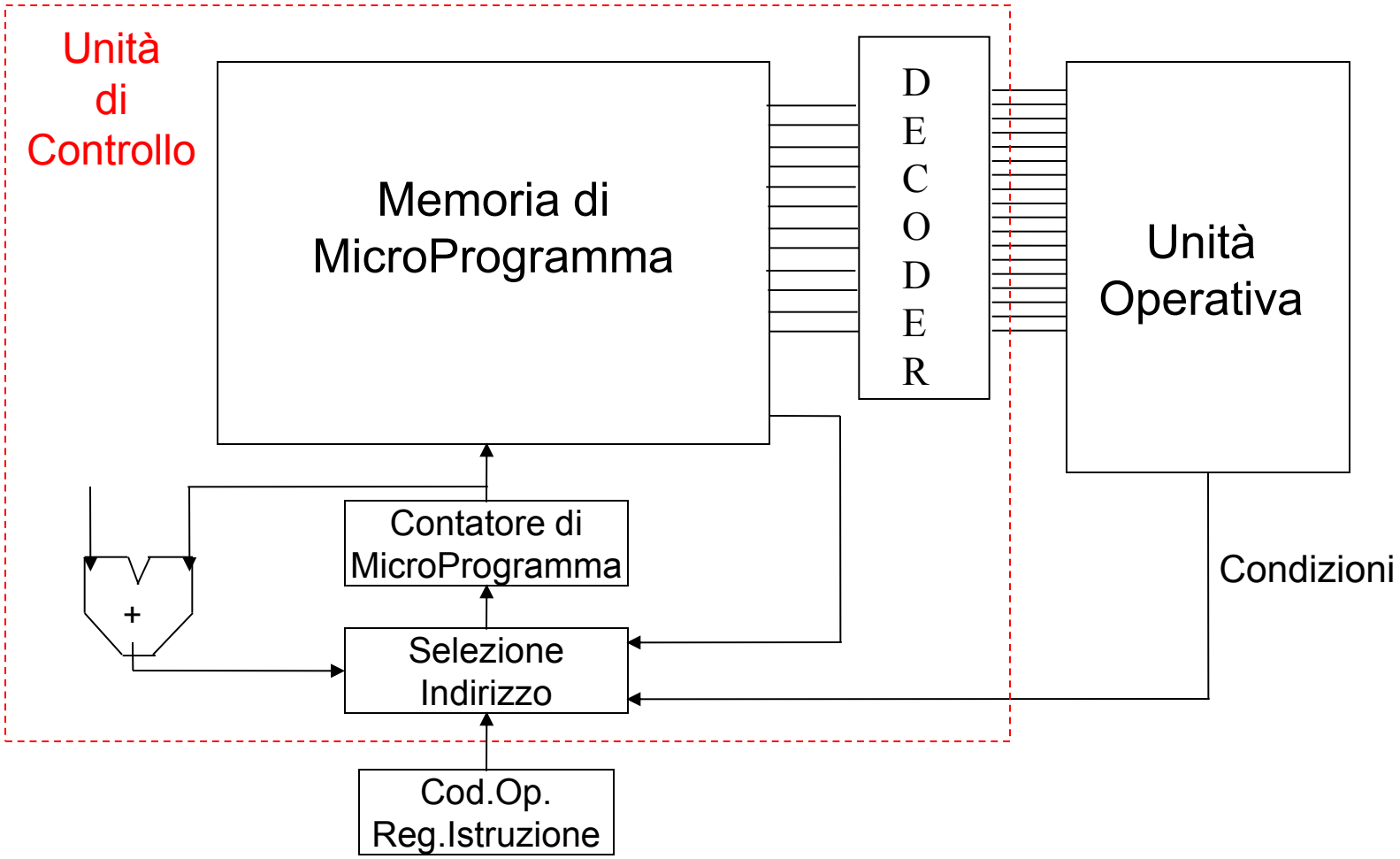
Realizzazione microprogrammata

- Tecnica affermatasi negli anni 70
- UC è una sorta di calcolatore nel calcolatore
- L'unità di controllo viene vista come una unità in grado di eseguire sequenze di microistruzioni.
- Ogni microistruzione è composta da un insieme di microoperazioni eseguibili in parallelo
- Le microistruzioni sono memorizzate nella memoria di microprogramma
- **μPC**: contatore di microprogramma. Contiene l'indirizzo della prossima microistruzione

Realizzazione microprogrammata

- L'esecuzione delle microistruzioni/microoperazioni genera i segnali di controllo per il datapath e determina la successiva microistruzione da eseguire
- L'esecuzione di una istruzione viene realizzata mediante l'esecuzione di una sequenza di microistruzioni
  - A ciascuna delle fasi di esecuzione di una istruzione (fetch,decode,execute,memory access, write back) corrisponde l'esecuzione di una o più microistruzione

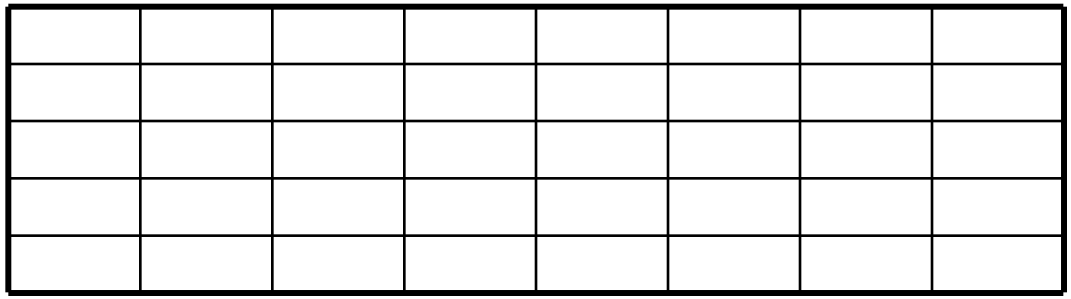
Realizzazione microprogrammata



Realizzazione microprogrammata

- L'esecuzione di una microistruzione consiste dei seguenti passi
  - Fetch della microistruzione
  - Decodifica/esecuzione delle microoperazione ovvero generazione dei segnali di controllo
- L'esecuzione di una istruzione viene realizzata nel seguente modo
  - All'inizio della fase di fetch μPC contiene l'indirizzo (I_0) del tratto di microprogramma corrispondente al fetch
  - Alla fine della fase di fetch e decodifica il μPC viene aggiornato l'indirizzo della prima microistruzione della routine che effettua le azioni richieste dalla particolare istruzione. Tale indirizzo è ottenuto a partire dal contenuto di IR
  - Al termine, μPC viene di nuovo caricato con (I_0)

Microprogrammazione orizzontale

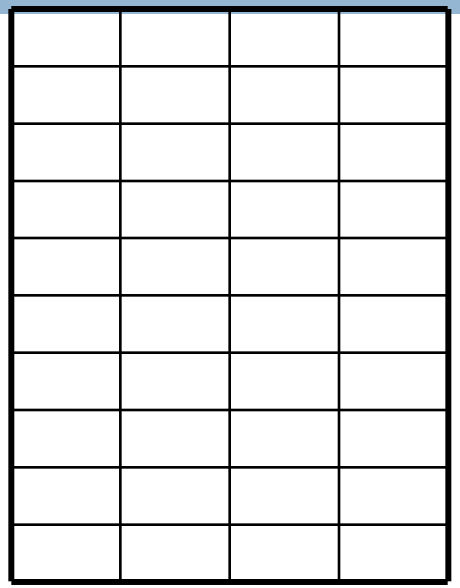


Orizzontale

- Nella microprogrammazione orizzontale le microistruzioni contengono molte microoperazioni eseguite in parallelo
- Il microprogramma risulta costituito da un numero limitato di microistruzioni
- **Vantaggi**: buona velocità nella esecuzione delle istruzione
- **Svantaggi**: notevole spreco di memoria

Microprogrammazione verticale

- Nella microprogrammazione verticale le microistruzioni contengono poche microoperazioni eseguite in parallelo
- Il microprogramma risulta costituito da un elevato numero di microistruzioni
- **Svantaggi**: ridotta velocità nella esecuzione delle istruzione
- **Vantaggi**: buon uso della memoria



Cablata o microprogrammata?

- Fino a fine anni ‘60: logica cablata (PDP8, HP 2116)
- Anni ‘70: microprogrammazione (VAX, Z80, 8086, 68000)
  - Repertorio di istruzioni molto esteso e variato: **CISC**
  - Il VAX 11/789 (Digital) e il 370/168 (IBM) avevano oltre 400.000 bit di memoria di controllo
- Dagli anni ‘80 si è tornati alla logica cablata;
  - Affermazione delle macchine **RISC**

- Istruttivo è esaminare l’evoluzione dell’architettura Intel: da CISC a (praticamente) RISC